

DRAM cell arrangement

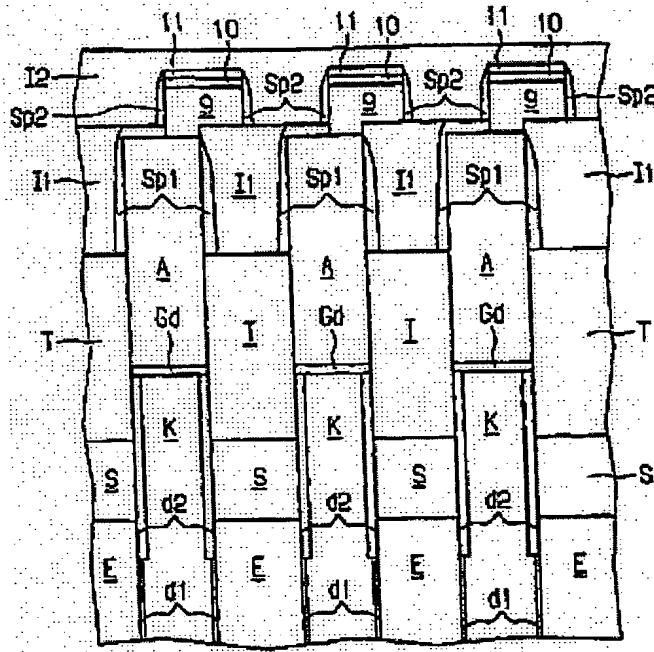
Patent number: DE19845004
Publication date: 2000-04-13
Inventor: HOFMANN FRANZ (DE); SCHLOESSER TILL (DE); WILLER JOSEF (DE)
Applicant: SIEMENS AG (DE)
Classification:
 - **International:** H01L27/108; H01L21/8242
 - **European:** H01L21/8242B6B, H01L21/8242C2, H01L27/108F10V
Application number: DE19981045004 19980930
Priority number(s): DE19981045004 19980930

Also published as:

- WO0019528 (A1)
- WO0019528 (A1)
- EP1129483 (A1)
- EP1129483 (A1)
- US6492221 (B1)

Abstract of DE19845004

The invention relates to a DRAM cell system and a method for the production thereof. The inventive DRAM cell system has folded-bit lines. Memory cells having a surface of $4F^2$ can be produced and are arranged in columns and rows, and the bit-lines are parallel to the columns. Bit lines (7, 8) run parallel to the columns. First word lines (9, 10) contact every adjacent second contact structure (A) of a memory cell along a row. Second word lines (12, 13) contact the remaining contact structures. Both word lines run parallel to the rows. One of the first word lines and one of the second word lines respectively overlap one of the rows. The word lines and bit lines are separated from each other by insulating layers (6, 11), insulations (I1, I2) and insulating spacers (Sp1, Sp2). Contacts for the word lines and bit lines are produced partly in a self-adjusting manner.



Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY



⑯ Offenlegungsschrift
⑯ DE 198 45 004 A 1

⑯ Int. Cl. 7:
H 01 L 27/108
H 01 L 21/8242

24

⑯ Aktenzeichen: 198 45 004.4
⑯ Anmeldetag: 30. 9. 1998
⑯ Offenlegungstag: 13. 4. 2000

⑯ Anmelder:
Siemens AG, 80333 München, DE

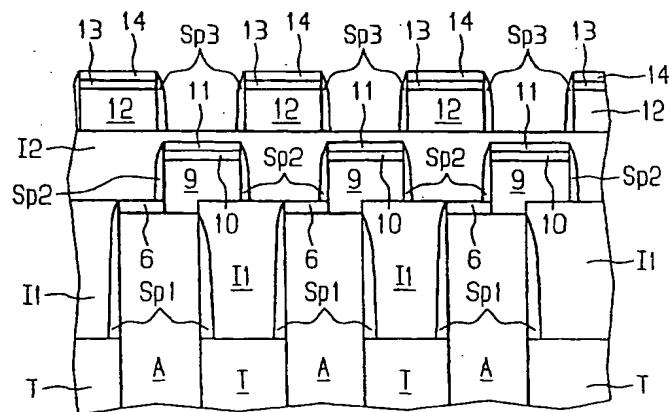
⑯ Erfinder:
Willer, Josef, Dr., 85521 Riemerling, DE; Hofmann, Franz, Dr., 80995 München, DE; Schlosser, Till, Dr., 81825 München, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt.

⑯ DRAM-Zellenanordnung und Verfahren zu deren Herstellung

⑯ Die DRAM-Zellenanordnung weist Folded-Bitleitungen auf. Speicherzellen können mit einer Fläche von $4F^2$ hergestellt werden und sind in Spalten und Zeilen angeordnet, wobei die Bitleitungen parallel zu den Spalten verlaufen. Erste Wortleitungen kontaktieren jede zweite entlang einer Zeile zueinander benachbarte Speicherzelle. Zweite Wortleitungen kontaktieren die übrigen Speicherzellen. Beide Wortleitungen verlaufen parallel zu den Zeilen. Je-weils eine der ersten Wortleitungen und eine der zweiten Wortleitungen überlappen eine der Zeilen. Die Wortleitungen und die Bitleitungen sind voneinander durch isolierende Schichten (6, 11) und Isolationen (I1, I2) und isolierende Spacer (Sp1, Sp2) getrennt. Die Erzeugung von Kontakten der Wortleitungen und der Bitleitungen erfolgt teilweise selbstjustiert.



Beschreibung

Die Erfindung betrifft eine DRAM-Zellenanordnung und ein Verfahren zu deren Herstellung.

Es wird allgemein angestrebt, eine DRAM-Zellenanordnung mit immer höherer Packungsdichte zu erzeugen. Für eine DRAM-Zellenanordnung, bei der die Information in Form einer Ladung auf einem Speicherkondensator gespeichert ist, stellt sich das Problem, den Speicherkondensator zwar auf einer kleinen Fläche zu erzeugen aber trotzdem mit einer genügend hohen Kapazität zu versehen, damit das Signal der Ladung beim Auslesen der Information nicht in Hintergrundrauschen untergeht.

In K. Hoffmann, VLSI-Entwurf: Modelle und Schaltungen (1996), Seiten 411 bis 415, wird eine DRAM-Zellenanordnung mit sogenannten Folded Bitleitungen beschrieben. Aufgrund vergleichbarer Bahnwiderstände und Koppelkapazitäten ist Hintergrundrauschen von Bitleitungen, die nahe beieinander angeordnet sind, ähnlich. Bei einer DRAM-Zellenanordnung mit Folded Bitleitungen wird das Signal einer Bitleitung, der mit einem auszulesenden Speicherkondensator verbunden ist, mit einem Signal einer benachbarten Bitleitung, das nur aus dem Hintergrundrauschen besteht, verglichen. Da die zwei Bitleitungen zueinander benachbart sind, kann so ein Teil des Hintergrundrauschen herausgefiltert werden. Mit einem solchen differentiellen Leseverfahren kann folglich eine kleinere Ladung, die eine kleinere Spannungsänderung an der Bitleitung erzeugt, ausgelesen werden. Eine minimale, zum Auslesen der Information erforderliche Kapazität des Speicherkondensators ist kleiner als bei einer DRAM-Zellenanordnung mit sogenannten Open Bitleitungen, d. h. ohne Folded Bitleitungen. Eine Wortleitung, die die auszulesende Speicherzelle ansteuert, darf mit keiner Speicherzelle verbunden sein, die mit der benachbarten Bitleitung verbunden ist, damit das Signal der benachbarten Bitleitung nur aus Hintergrundrauschen besteht. Bei der beschriebenen DRAM-Zellenanordnung umfaßt eine Speicherzelle einen Transistor und einen Speicherkondensator, die nebeneinander angeordnet sind. Über der Speicherzelle sind eine erste Wortleitung und eine zweite Wortleitung angeordnet. Entlang den Wortleitungen zueinander benachbarte Speicherzellen sind abwechselnd mit der ersten Wortleitung und der zweiten Wortleitung verbunden. Dazu sind die Transistoren und die Speicherkondensatoren der Speicherzellen so angeordnet, daß entlang den Wortleitungen abwechselnd ein Transistor und ein Speicherkondensator verschiedener Speicherzellen nebeneinander angeordnet sind. Die Bitleitungen verlaufen quer zu den Wortleitungen.

In T. Ozaki et al, 0,228 μm^2 Trench Cell Technologies with Bottle-Shaped Capacitor for 1 Giga-Bit DRAM's, IEDM (1995) 661, wird eine DRAM-Zellenanordnung mit Open Bitleitungen beschrieben. Eine Speicherzelle umfaßt einen planaren Transistor und einen dazu in Reihe geschalteten Speicherkondensator. Zwischen jeweils zwei Speicherkondensatoren, deren Speicherknoten in Vertiefungen eines Substrats angeordnet sind, sind zwei planare Transistoren angeordnet, die ein gemeinsames Source-/Drain-Gebiet aufweisen. Zur Vergrößerung der Kapazität des Speicherkondensators wird zunächst ein oberer Bereich der Vertiefung erzeugt, dessen Flanken mit einem Oxid versehen werden. Anschließend wird das Oxid am Boden der Vertiefung entfernt und die Vertiefung weiter vertieft, so daß ein unterer Bereich der Vertiefung entsteht. Der untere Bereich der Vertiefung wird durch einen nassen Ätzprozeß verbreitert, so daß ein Querschnitt des unteren Bereichs der Vertiefung größer ist als ein Querschnitt des oberen Bereichs. Durch die Verbreiterung des unteren Bereichs der Vertie-

fung werden die Oberfläche eines Kondensatordielektrikums, das Flächen der Vertiefung bedeckt, und somit die Kapazität des Speicherkondensators vergrößert.

In der EP 0 852 396 ist eine DRAM-Zellenanordnung beschrieben, bei der zur Erhöhung der Packungsdichte ein Transistor einer Speicherzelle über einem Speicherkondensator der Speicherzelle angeordnet ist. Aktive Gebiete der Speicherzellen werden jeweils von einer isolierenden Struktur umgeben, die in einem Substrat angeordnet ist. Im Substrat wird für jede Speicherzelle eine Vertiefung erzeugt, in deren unterem Bereich ein Speicherknoten des Speicherkondensators und in deren oberem Bereich eine Gateelektrode des Transistors angeordnet sind. Ein oberes Source-/Drain-Gebiet, ein Kanalgebiet und ein unteres Source-/Drain-Gebiet des Transistors sind im Substrat übereinander angeordnet. Das untere Source-/Drain-Gebiet ist bei einer ersten Flanke der Vertiefung mit dem Speicherknoten verbunden. Die isolierende Struktur grenzt an eine zweite, der ersten Flanke gegenüberliegenden Flanke der Vertiefung an, so daß der Speicherknoten dort nicht an das Substrat angrenzt. Eine Kondensatorelektrode des Speicherkondensators wird durch Ausdiffusion von Dotierstoff in das Substrat gebildet. Wie in der Veröffentlichung von T. Ozaki et al (siehe oben) wird auch hier ein unterer Bereich der Vertiefung ausgeweitet. Eine Bitleitung grenzt an das obere Source-/Drain-Gebiet an und verläuft oberhalb des Substrats. Die Gateelektrode ist durch ein Gatedielektrikum und die isolierende Struktur vom Substrat und von den Bitleitungen isoliert. Die Gateelektrode grenzt an eine Wortleitung an, die oberhalb der Bitleitung verläuft.

Der Erfindung liegt das Problem zugrunde, eine DRAM-Zellenanordnung anzugeben, die Folded-Bitleitungen aufweist, deren Wortleitungen und Bitleitungen mit hoher elektrischer Leitfähigkeit erzeugt werden können und die zugeleich mit hoher Packungsdichte herstellbar ist. Ferner soll ein Verfahren zu deren Herstellung angegeben werden.

Das Problem wird durch eine DRAM-Zellenanordnung gelöst, bei der Speicherzellen in Spalten, die parallel zu einer y-Achse verlaufen, und Zeilen, die parallel zu einer x-Achse verlaufen, in einem Substrat angeordnet sind. Die Speicherzellen einer Spalte sind mit einer Bitleitung, die oberhalb einer Hauptfläche des Substrats verläuft, verbunden. Die Speicherzellen einer Zeile sind abwechselnd mit einer ersten Wortleitung und einer zweiten Wortleitung verbunden. Ferner umfassen die Speicherzellen jeweils eine säulenförmige Anschlußstruktur. Erste Teile der ersten Wortleitung sind jeweils in y-Richtung, d. h. in positiver Richtung entlang der y-Achse, versetzt zu einer der Anschlußstrukturen der Speicherzellen, mit denen die erste Wortleitung verbunden ist, angeordnet, so daß diese Anschlußstruktur von oben überlappt aber nicht bedeckt wird. Ein zweiter Teil der ersten Wortleitung ist streifenförmig, verläuft oberhalb der Hauptfläche und im wesentlichen parallel zur x-Achse und grenzt von oben an die ersten Teile der ersten Wortleitung an. Flanken der ersten Wortleitung sind mit isolierenden Spacern versehen. Erste Teile der zweiten Wortleitung sind zwischen den Spacern zueinander benachbarter erster Wortleitungen der Speicherzellen angeordnet. Die ersten Teile der zweiten Wortleitung sind jeweils entgegengesetzt zur y-Richtung, d. h. in negativer Richtung entlang der y-Achse, versetzt zu einer der Anschlußstrukturen der Speicherzellen, mit denen die zweite Wortleitung verbunden ist, angeordnet, so daß diese Anschlußstruktur von oben überlappt aber nicht bedeckt wird. Ein zweiter Teil der zweiten Wortleitung ist streifenförmig, verläuft oberhalb der Hauptfläche und im wesentlichen parallel zur x-Achse, grenzt von oben an die ersten Teile der zweiten Wortleitung an und ist oberhalb der ersten Wortleitung und der Bitleitung

angeordnet. Die erste Wortleitung und die zweite Wortleitung überlappen die Zeile.

Das Problem wird ferner gelöst durch ein Verfahren zur Herstellung einer DRAM-Zellenanordnung, bei dem Speicherzellen in Spalten, die parallel zu einer y-Achse verlaufen, und Zeilen, die parallel zu einer x-Achse verlaufen, erzeugt werden. Für die Speicherzellen wird jeweils eine säulenförmige Anschlußstruktur erzeugt. Bitleitungen werden erzeugt, die jeweils mit den Speicherzellen einer Spalte verbunden werden. Über den Anschlußstrukturen von Speicherzellen wird eine erste isolierende Schicht aufgebracht. Erste Kontaktlöcher in der ersten isolierenden Schicht werden erzeugt, die Teile jeder zweiten Anschlußstruktur der Speicherzellen einer Zeile derart freilegen, daß die ersten Kontaktlöcher in y-Richtung versetzt zu den Anschlußstrukturen angeordnet sind. Leitendes Material wird abgeschieden, so daß die ersten Kontaktlöcher mit ersten Teilen von ersten Wortleitungen gefüllt werden. Eine zweite isolierende Schicht wird abgeschieden. Das leitende Material und die zweite isolierende Schicht werden strukturiert, so daß streifenförmige zweite Teile der ersten Wortleitungen erzeugt werden, die im wesentlichen parallel zur x-Achse verlaufen, von oben an die ersten Teile der ersten Wortleitung angrenzen und durch die zweite isolierende Schicht bedeckt sind. Flanken der ersten Wortleitungen werden mit isolierenden Spacern versehen. Die erste isolierende Schicht wird selektiv zur zweiten isolierenden Schicht und den Spacern geätzt, so daß Teile der übrigen Anschlußstrukturen derart freigelegt werden, daß zweite Kontaktlöcher erzeugt werden, die entgegengesetzt zur y-Richtung versetzt zu den Anschlußstrukturen angeordnet sind. Leitendes Material wird abgeschieden, so daß die zweiten Kontaktlöcher mit ersten Teilen von zweiten Wortleitungen gefüllt werden, die zwischen den Spacern zueinander benachbarter erster Wortleitungen angeordnet sind. Das leitende Material wird strukturiert, so daß streifenförmige zweite Teile der zweiten Wortleitungen erzeugt werden, die im wesentlichen parallel zur x-Achse verlaufen, von oben an die ersten Teile der zweiten Wortleitungen angrenzen und oberhalb der ersten Wortleitungen und der Bitleitungen angeordnet sind.

Materialien mit hohen elektrischen Leitfähigkeiten, wie z. B. WSi, TiSi, MoSi, CoSi, TaSi, werden vorzugsweise oberhalb eines Halbleitersubstrats abgeschieden, da sie zum einen Kanten, die z. B. durch Vertiefungen im Halbleitersubstrat gebildet werden, schlecht, d. h. nicht gleichmäßig, bedecken und zum anderen in einem Abstand vom Halbleitersubstrat angeordnet werden sollten, um eine Verunreinigung des Halbleitersubstrats zu vermeiden. Auch mechanische Verspannungen oder durch die Abscheidung bedingte Schädigungen einer Oberfläche des Substrats werden dadurch vermieden. Da sowohl die Bitleitungen als auch die zweiten Teile der ersten Wortleitungen und der zweiten Wortleitungen oberhalb des Substrats verlaufen, können sie Materialien mit hohen elektrischen Leitfähigkeiten enthalten. Darüber hinaus können die Bitleitungen und die Wortleitungen gleichzeitig mit Gateelektroden von Transistoren einer Peripherie der DRAM-Zellenanordnung erzeugt werden, indem eine Schicht oder eine Schichtenfolge aus leitenden Materialien mit Hilfe einer Maske durch Ätzen strukturiert wird. In diesem Fall haben die Bitleitungen und die Wortleitungen einen sogenannten planaren Aufbau.

Da die Speicherzellen einer Zeile abwechselnd mit der ersten Wortleitung und der zweiten Wortleitung verbunden sind, und die Bitleitungen jeweils die Speicherzellen einer Spalte miteinander verbinden, gibt es keine zwei Speicherzellen, die mit zueinander benachbarten Bitleitungen verbunden sind und zugleich mit derselben Wortleitung verbunden sind. Die DRAM-Zellenanordnung weist folglich

Folded Bitleitungen auf.

Die DRAM-Zellenanordnung kann eine hohe Packungsdichte aufweisen, da lediglich die Spacer, die mit dünnen horizontalen, d. h. zur Hauptfläche parallelen Querschnitten herstellbar sind, die ersten Wortleitungen von den zweiten Wortleitungen seitlich trennen.

Die Bitleitungen und die Wortleitungen können nach Herstellung der Speicherzellen erzeugt werden. Dies ist vorteilhaft, da die Erzeugung der Bitleitungen und der Wortleitungen aus Metallen ermöglicht wird, nach deren Aufbringen Prozeßschritte mit hohen Temperaturen, die zum Beispiel zur Verunreinigung anderer Teile der DRAM-Zellenanordnung führen können, vermieden werden. Beispielsweise kann eine Schichtenfolge aus Ti, TiN und W zur Erzeugung der Wortleitungen und der Bitleitungen strukturiert werden.

Die Erzeugung der Wortleitungen sind unempfindlich gegenüber Justierungsnauigkeiten bezüglich der Anschlußstrukturen. Die weitgehende selbstjustierte Kontaktierung der Anschlußstrukturen durch die Wortleitungen ermöglicht eine hohe Packungsdichte der DRAM-Zellenanordnung. Die Justierung von Photolackmasken zur Erzeugung der ersten Wortleitungen und der zweiten Wortstellungen muß lediglich garantieren, daß die Anschlußstrukturen teilweise überlappt werden, da bei der Erzeugung der zweiten Wortleitungen selektiv zu den Spacern und der zweiten isolierenden Schicht geätzt wird, so daß Kontaktlöcher für die zweiten Wortleitungen nicht in den und angrenzend an die ersten Wortleitungen entstehen können. Die Justierungsnauigkeit beträgt vorzugsweise bis zu einem Drittel der Breite der Anschlußstrukturen.

Aufgrund der Unempfindlichkeit gegenüber Justierungsnauigkeiten kann die DRAM-Zellenanordnung mit einer hohen Packungsdichte erzeugt werden. Die ersten Wortleitungen weisen vorzugsweise eine Breite auf, die gleich der minimalen in der zur Herstellung der DRAM-Zellenanordnung verwendeten Technologie herstellbaren Strukturgröße F ist. Dasselbe gilt für die zweiten Wortleitungen, für Abstände zwischen zueinander benachbarten ersten Wortleitungen, für Abstände zwischen zueinander benachbarten zweiten Wortleitungen und für die Breiten der Anschlußstrukturen. Die Bitleitungen können ebenfalls eine Breite und Abstände voneinander aufweisen, die F betragen. In einer Ansicht auf die DRAM-Zellenanordnung können demnach die ersten Wortleitungen und die zweiten Wortleitungen abwechselnd ohne Abstand direkt nebeneinander oder sich überlappend angeordnet sein. Die Speicherzelle ist mit einer Fläche von $4F^2$ herstellbar.

Die Anschlußstrukturen können über die Hauptfläche des Substrats hinausragen. In diesem Fall sind Flanken der Anschlußstrukturen mit weiteren isolierenden Spacern versehen, zwischen denen erste Teile der Bitleitungen angrenzen. Zweite Teile der Bitleitungen sind zwischen den ersten Teilen der Bitleitungen angeordnet und weisen eine größere Breite auf als die ersten Teile der Bitleitungen. Die Bitleitungen grenzen an die Hauptfläche an und verlaufen jeweils zwischen Anschlußstrukturen, die in x-Richtung zueinander benachbart sind. Dies hat den Vorteil, daß die Bitleitungen weitgehend selbstjustiert zwischen den Anschlußstrukturen erzeugt werden können. Dazu wird eine Isolation erzeugt, die die mit den weiteren Spacern versehenen Anschlußstrukturen umgibt. Mit Hilfe einer streifenförmigen Maske, deren Streifen parallel zu den Spalten verlaufen und die jeweils Anschlußstrukturen von Speicherzellen einer Spalte überlappen, werden in der Isolation Gräben erzeugt, wobei selektiv zu den Spacern und der ersten isolierenden Schicht geätzt wird. Anschließend wird leitendes Material abgeschieden und abgetragen, bis die Isolation freigelegt wird, so daß in den Gräben die Bitleitungen erzeugt werden, die

die Anschlußstrukturen nicht überlappen. Dies ist vorteilhaft, da sonst der effektive Querschnitt der Anschlußstrukturen verkleinert würde, was wiederum eine Verkleinerung des Überlapps der Anschlußstrukturen mit den Wortleitungen zur Folge hätte.

Es liegt im Rahmen der Erfindung, wenn eine Speicherzelle einen Transistor und einen dazu in Reihe geschalteten Speicher kondensator umfaßt.

Zur Erhöhung der Packungsdichte ist es vorteilhaft, wenn der Transistor als vertikaler Transistor ausgestaltet ist, so daß ein oberes Source-/Drain-Gebiet über einem Kanalgebiet und das Kanalgebiet über einem unteren Source-/Drain-Gebiet des Transistors angeordnet sind.

Zur weiteren Erhöhung der Packungsdichte ist es vorteilhaft, wenn der Transistor und der Speicher kondensator übereinander angeordnet sind.

Es liegt im Rahmen der Erfindung, wenn das obere Source-/Drain-Gebiet mit der Bitleitung verbunden ist. Die Anschlußstruktur ist mit einer Gateelektrode des Transistors verbunden.

Für die Speicherzelle kann im Substrat eine Vertiefung vorgesehen sein, in deren unterem Bereich ein Speicher knoten des Speicher kondensators und in deren oberem Bereich die Anschlußstruktur angeordnet sind. Flächen des unteren Bereichs der Vertiefung sind mit einem Kondensatordielektrikum versehen: Der Speicher knoten ist von der Anschlußstruktur elektrisch isoliert. Im oberen Bereich der Vertiefung ist mindestens eine erste Flanke der Vertiefung mit einem Gatedielektrikum versehen. Ein Teil der Anschlußstruktur ist mindestens an der ersten Flanke angeordnet und kann als Gateelektrode des Transistors wirken. Das obere Source-/Drain-Gebiet ist an der Hauptfläche des Substrats angeordnet und grenzt an zwei in x-Richtung zueinander benachbarte Vertiefungen an.

Zur Erzeugung einer solchen DRAM-Zellenanordnung werden die Vertiefungen nach Aufbringen eines Kondensatordielektrikums bis zu einer mittleren Höhe mit leitendem Material gefüllt. Dazu kann das leitende Material abgeschieden, durch chemisch-mechanisches Polieren planarisiert und anschließend bis zur mittleren Höhe rückgeätzt werden. Anschließend werden freiliegende Teile des Kondensatordielektrikums entfernt, so daß Flächen der Vertiefungen nur bis zur mittleren Höhe mit dem Kondensatordielektrikum versehen sind. Anschließend werden die Vertiefungen durch leitendes Material bis zu einer oberen Höhe, die im unteren Bereich liegt, weiter aufgefüllt, so daß das leitende Material zwischen der mittleren Höhe und der oberen Höhe an das Substrat angrenzt. Das leitende Material in den Vertiefungen bildet die Speicher knoten. Ein Gatedielektrikum wird so erzeugt, daß es den Speicher knoten bedeckt. Alternativ wird zunächst isolierendes Material auf den Speicher knoten aufgebracht und das Gatedielektrikum anschließend aufgewachsen. Danach wird die Anschlußstruktur im oberen Bereich der Vertiefung erzeugt. Das Gatedielektrikum oder das isolierende Material trennen die Anschlußstruktur vom Speicher knoten.

Es liegt im Rahmen der Erfindung, wenn die Vertiefung in einer Schichtenfolge erzeugt wird, so daß das untere Source-/Drain-Gebiet, das Kanalgebiet und das obere Source-/Drain-Gebiet aus Schichten der Schichtenfolge entstehen.

Vorzungswise wird das untere Source-/Drain-Gebiet erzeugt, indem durch einen Temperschritt Dotierstoff aus dem Speicher knoten zwischen der oberen Höhe und der mittleren Höhe in das Substrat diffundiert. Dadurch grenzt das untere Source-/Drain-Gebiet nur an eine Vertiefung an, so daß Kanalgebiete verschiedener Transistoren elektrisch miteinander verbunden sind. Dies ist vorteilhaft, da auf diese Weise Floating-Body-Effekte vermieden werden.

Es ist vorteilhaft, vor der Entfernung der freiliegenden Teile des Kondensatordielektrikums oberhalb der mittleren Höhe eine Maske aufzubringen, die zweite, den ersten Flanken gegenüberliegende Flanken der Vertiefungen bedeckt.

5 Dadurch bleibt das Kondensatordielektrikum auf der zweiten Flanke erhalten, so daß der Speicher knoten nur bei der ersten Flanke zwischen der mittleren Höhe und der oberen Höhe an das Substrat angrenzt. Der Abstand zwischen der zweiten Flanke und der ersten Flanke von zueinander benachbarten Vertiefungen kann in diesem Fall verkleinert werden, ohne daß Leckströme zwischen den zugehörigen Speicher knoten entstehen. Die Packungsdichte der DRAM-Zellenanordnung kann folglich erhöht werden. Nach Erzeugung der Speicher knoten können freiliegende Teile des Kondensatordielektrikums, die an den zweiten Flanken oberhalb der oberen Höhe angeordnet sind, entfernt werden.

Das obere Source-/Drain-Gebiet kann durch Strukturierung einer an die Hauptfläche angrenzenden dotierten Schicht des Substrats erzeugt werden. Die Strukturierung 10 erfolgt zum einen durch die Erzeugung der Vertiefungen. Zum anderen werden zwischen in y-Richtung zueinander benachbarten oberen Source-/Drain-Gebieten Trennstrukturen erzeugt. Die Trennstrukturen können erzeugt werden, indem weitere Gräben in das Substrat erzeugt werden, die parallel zu den Zeilen verlaufen und zwischen den Vertiefungen angeordnet sind. Die weiteren Gräben werden anschließend mit isolierendem Material gefüllt.

Das obere Source-/Drain-Gebiet kann alternativ erzeugt werden, indem nach Erzeugung der Vertiefungen und der 15 Trennstrukturen eine Implantation durchgeführt wird.

Die Vertiefungen können selbstjustiert zwischen den Trennstrukturen erzeugt werden, indem nach Erzeugung der Trennstrukturen das Substrat mit Hilfe einer streifenförmigen Maske selektiv zu den Trennstrukturen geätzt wird, wobei Streifen der Maske quer zu den Trennstrukturen verlaufen.

Um zu verhindern, daß eine Gateelektrode einer Vertiefung einen Transistor der benachbarten Vertiefung ansteuert, ist es vorteilhaft, wenn isolierende Strukturen, die dicker als 20 das Gatedielektrikum sind, an den zweiten Flanken der Vertiefungen angeordnet sind. Zur Erhöhung der Packungsdichte ist es dabei vorteilhaft, wenn die isolierenden Strukturen in den oberen Bereichen der Vertiefungen statt im Substrat angeordnet sind. Zur Erzeugung der isolierenden Strukturen können zunächst die Anschlußstrukturen erzeugt werden, indem nach Erzeugung des Gatedielektrikums leitendes Material abgeschieden und mit Hilfe einer Maske, die die zweiten Flanken der Vertiefungen bedeckt, strukturiert wird. Die Anschlußstrukturen sind an den ersten Flanken der Vertiefungen angeordnet und füllen die Vertiefungen nicht vollständig aus. Die isolierenden Strukturen werden erzeugt, indem isolierendes Material abgeschieden und rückgeätzt wird.

Es ist vorteilhaft, wenn das Kondensatordielektrikum einen ersten Teil aufweist, der Flächen der unteren Bereiche der Vertiefungen bis zu einer unteren Höhe, die unter der mittleren Höhe liegt, bedeckt, und einen zweiten Teil, der dicker als der erste Teil ist und Flächen der Vertiefungen zwischen der unteren Höhe und der mittleren Höhe bedeckt, aufweist. Durch das untere Source-/Drain-Gebiet, das Substrat und die Kondensatorelektrode wird abhängig von den gewählten Leitfähigkeits typen ein pnp- oder ein npn-Übergang gebildet, der, angesteuert durch den Speicher knoten, Leckströme verursachen kann. Ist das Kondensatordielektrikum also zwischen der Kondensatorelektrode und dem zweiten Source-/Drain-Gebiet besonders dick, steuert der Speicher knoten den Übergang nicht mehr an und Leckströme werden vermieden. Dazu wird nach Erzeugung der

Vertiefungen der erste Teil des Kondensatordielelektrums ganzflächig aufgebracht. Die Vertiefungen werden durch leitendes Material bis zu einer unteren Höhe gefüllt, die unter der mittleren Höhe liegt. Freiliegende Teile des ersten Teils des Kondensatordielelektrums werden anschließend entfernt. Der zweite Teil des Kondensatordielelektrums wird zunächst ganzflächig aufgebracht und durch anisotropes Ätzen von einer Oberfläche des leitenden Materials entfernt. Durch Abscheiden von leitendem Material bis zur mittleren Höhe wird die Vertiefung weiter gefüllt. Anschließend kann wie oben beschrieben weiter verfahren werden.

Eine Kondensatorelektrode des Kondensators ist im Substrat angeordnet und grenzt an das Kondensatordielektrum an. Die Kondensatorelektrode kann als für alle Kondensatoren gemeinsame dotierte Schicht des Substrats ausgestaltet sein. Die dotierte Schicht kann z. B. durch Epitaxie oder Implantation vor Erzeugung der Speicherzellen erzeugt werden. Alternativ wird in den Vertiefungen eine Dotierstoffquelle eingebracht, aus der in einem Temperierschritt Dotierstoff in das Substrat diffundiert und dort die dotierte Schicht bildet.

Die Dotierstoffquelle ist z. B. Arsenglasm. Nach Erzeugung der Vertiefungen wird das Arsenglasm abgeschieden, so daß Flächen der Vertiefungen bedeckt sind. Die unteren Bereiche der mit dem Arsenglasm versehenen Vertiefungen werden mit z. B. Photolack gefüllt. Anschließend wird freiliegendes Arsenglasm entfernt. Es ist vorteilhaft, nach Entfernung des Photolacks ein Schutzoxid aufzuwachsen. Das Schutzoxid verhindert, daß bei dem folgenden Temperierschritt, bei dem Arsen aus dem Arsenglasm in das Substrat diffundiert, Arsen verdampft. Die Kondensatorelektrode wird als ein mit Arsen dotierter Teil des Substrats erzeugt, die die unteren Bereiche der Vertiefungen umgibt.

Es ist vorteilhaft, wenn die erste Flanke im oberen Bereich eben ist und die Fläche des unteren Bereichs gekrümmmt ist. Das Wachstum des durch thermische Oxidation erzeugten Gatedielelektrums hängt von der Ausrichtung der ersten Flanke relativ zur Kristallstruktur des Substrats ab. Ist die erste Flanke eben, wird ein homogenes Wachstum des Gatedielelektrums ermöglicht, da eine ebene Fläche im Gegensatz zu einer gekrümmten Fläche eine definierte Ausrichtung relativ zur Kristallstruktur aufweist. Steuerkennlinien des Transistors, bei dem das Gatedielektrum eine homogene Dicke aufweist, entsprechen denen herkömmlicher planarer Transistoren und weisen eine besonders hohe Unterschwellensteilheit auf. Wird ein Teil des Kondensatordielelektrums durch thermische Oxidation auf einer Fläche, die eine Kante aufweist, aufgewachsen, fällt das Oxid an der Kante besonders dünn aus. Es kann deshalb zu Leckströmen im Bereich der Kante kommen. Deshalb ist es vorteilhaft, wenn das Kondensatordielektrum auf einer Fläche erzeugt wird, die keine Kanten aufweist. Auch wenn das Kondensatordielektrum durch Abscheiden von Material erzeugt wird, wirken sich Kanten in der Fläche nachteilig aus, da es an den Kanten zu Feldverzerrungen kommt, die die Durchbruchsspannung des Kondensators erniedrigen können.

Es liegt im Rahmen der Erfindung, wenn der obere Bereich einen im wesentlichen rechteckigen Querschnitt aufweist, der größer ist als ein Querschnitt des unteren Bereichs, der im wesentlichen kreisförmig oder ellipsenförmig ist. Dazu werden nach Erzeugung der oberen Bereiche der Vertiefung durch Abscheiden und anisotropes Rückätzen von Material Hilfspacer an den Vertiefungen erzeugt. Durch einen isotropen Ätzprozeß werden die Hilfspacer abgerundet, so daß freiliegende Teile von Böden der Vertiefungen einen Umfang ohne Ecken aufweisen. Durch anisotropes Ätzen selektiv zu den Hilfspacern werden anschließend die unteren Bereiche der Vertiefungen erzeugt.

Zur Vergrößerung der Kapazität des Speicher kondensators ist es vorteilhaft, wenn anschließend durch isotropes Ätzen des Substrats der untere Bereich der Vertiefung erweitert wird, so daß sein Querschnitt vergrößert wird. Dadurch vergrößert sich die Fläche des unteren Bereichs, auf dem das Kondensatordielektrum angeordnet ist, so daß die Kapazität des Speicher kondensators vergrößert wird.

Im folgenden wird ein Verfahren beschrieben, bei dem verhindert wird, daß aufgrund der endlichen Selektivität von Ätzprozessen eine obere Fläche der Trennstrukturen nach der Erzeugung der Vertiefungen unterhalb der Hauptfläche liegt. Vor Erzeugen der Trennstrukturen werden an der Hauptfläche eine untere Schicht aus einem ersten Material und darüber eine obere Schicht aus einem zweiten Material aufgebracht. Anschließend werden die Trennstrukturen erzeugt, wobei zur Füllung der weiteren Gräben das erste Material verwendet wird. Eine obere Fläche der Trennstrukturen liegt über der Hauptfläche aber unter einer oberen Fläche der unteren Schicht. Durch Abscheiden und Planarisieren vom zweiten Material, bis die untere Schicht freigelegt wird, werden über den Trennstrukturen Hilfspunkte aus dem zweiten Material erzeugt. Anschließend werden die Vertiefungen mit Hilfe der streifenförmigen Maske erzeugt, indem zunächst das erste Material selektiv zum zweiten Material geätzt wird, so daß die obere Fläche der Trennstrukturen unverändert oberhalb der Hauptfläche liegt, da die Hilfspunkte die Trennstrukturen schützen. Die Vertiefungen können anschließend erzeugt werden, indem freiliegende Teile des Substrats geätzt werden, wobei die Trennstrukturen und die untere Schicht als Maske dienen. Dabei werden aufgrund der endlichen Selektivität des Ätzprozesses die Trennstrukturen und die untere Schicht abgetragen, deren obere Flächen aufgrund der ausreichenden Dicke der unteren Schicht nach Erzeugung der Vertiefungen nicht unterhalb der Hauptfläche liegen.

Das Substrat kann Silizium und/oder Germanium enthalten und ist vorzugsweise monokristallin, damit das Gatedielektrum durch thermische Oxidation erzeugt werden kann.

Die Bitleitungen und die Wortleitungen können mehrschichtig aufgebaut sein. Z.B. kann jeweils eine untere Schicht aus dotiertem Polysilizium und darüber eine Schicht aus einem Material mit besserer elektrischer Leitfähigkeit, z. B. Silizid oder Metall, vorgesehen sein.

Im folgenden wird ein Ausführungsbeispiel der Erfindung anhand der Figuren näher erläutert.

Fig. 1a zeigt einen Querschnitt durch ein Substrat, nachdem eine erste Schicht, eine zweite Schicht, eine dritte Schicht, eine vierte Schicht und Trennstrukturen, erzeugt wurden.

Fig. 1b zeigt den Querschnitt aus Fig. 1a, nachdem die vierte Schicht entfernt wurde und Hilfspunkte erzeugt wurden.

Fig. 2a zeigt eine Ansicht auf das Substrat aus Fig. 1b, nachdem obere Bereiche von Vertiefungen und Hilfspunkten erzeugt wurden. Ferner ist die Lage einer zweiten Photolackmaske dargestellt.

Fig. 2b zeigt einen zum Querschnitt aus Fig. 1a senkrechten Querschnitt durch das Substrat nach den Prozessschritten aus Fig. 2a.

Fig. 3 zeigt die Ansicht aus Fig. 2a, nachdem die Hilfspunkte abgerundet wurden.

Fig. 4 zeigt den Querschnitt aus Fig. 2b, nachdem ein unterer Bereich der Vertiefung, ein Kondensatordielektrum, ein Speicherknoten und eine dritte Photolackmaske erzeugt wurden.

Fig. 5a zeigt den Querschnitt aus Fig. 4, nachdem der Speicherknoten vergrößert und obere Source/Drain-Gebiete

und untere Source/Drain-Gebiete von Transistoren, ein Gate-dielektrikum, Anschlußstrukturen, eine sechste Schicht, erste Spacer und eine erste Isolation erzeugt wurden.

Fig. 5b zeigt die Aufsicht aus Fig. 2a, in der die Anschlußstrukturen, die ersten Spacer, die oberen Source/Drain-Gebiete und die Trennstrukturen dargestellt sind.

Fig. 6a zeigt den Querschnitt aus Fig. 5a, nachdem eine siebte Schicht und eine achte Schicht, die Bitleitungen bilden, erzeugt wurden.

Fig. 6b zeigt die Aufsicht aus Fig. 2a, in der die Anschlußstrukturen, die ersten Spacer, Teile der ersten Isolation, die nicht über den Bitleitungen angeordnet sind, Teile der siebten Schicht, die nicht unter der achten Schicht angeordnet sind, und die achte Schicht dargestellt sind.

Fig. 7a zeigt den Querschnitt aus Fig. 1, nach den Prozeßschritten aus Fig. 6a und nachdem eine neunte Schicht und eine zehnte Schicht, die erste Wortleitungen bilden, eine elfte Schicht, zweite Spacer und eine zweite Isolation erzeugt wurden.

Fig. 7b zeigt die Aufsicht aus Fig. 2a, in der die Anschlußstrukturen, die ersten Spacer und Bereiche, die von einer sechsten Photolackmaske nicht bedeckt werden, dargestellt sind.

Fig. 8 zeigt die Aufsicht aus Fig. 2a, in der die Anschlußstrukturen, die ersten Spacer, die neunte Schicht, die zweiten Spacer und eine achte Photolackmaske dargestellt sind.

Fig. 9a zeigt den Querschnitt aus Fig. 7a, nachdem eine zwölfte Schicht und eine dreizehnte Schicht, die zweite Wortleitungen bilden, eine vierzehnte Schicht und dritte Spacer erzeugt wurden.

Fig. 9b zeigt einen zu Fig. 9a parallelen Querschnitt durch das Substrat nach den Prozeßschritten aus Fig. 9a.

Fig. 9c zeigt die Aufsicht aus Fig. 2a, in der die Anschlußstrukturen, die ersten Spacer, die siebte Schicht, die neunte Schicht und die zwölfte Schicht dargestellt sind.

Die Figuren sind nicht maßstabsgerecht.

In einem Ausführungsbeispiel ist als Ausgangsmaterial ein pdotiertes Substrat S aus Silizium vorgesehen, das in einer an einer Hauptfläche H des Substrats S angrenzenden Schicht mit einer Dotierstoffkonzentration von ca. 10^{18} cm^{-3} p-dotiert ist. Auf der Hauptfläche H wird eine ca. 20 nm dicke erste Schicht 1 aus SiO_2 , darüber eine ca. 100 nm dicke zweite Schicht 2 aus Siliziumnitrid, darüber eine ca. 800 nm dicke dritte Schicht 3 aus SiO_2 und darüber eine ca. 100 nm dicke vierte Schicht 4 aus Siliziumnitrid abgeschieden (siehe Fig. 1a).

Mit Hilfe einer streifenförmigen ersten Photolackmaske (nicht dargestellt) werden die vierte Schicht 4, die dritte Schicht 3, die zweite Schicht 2, die erste Schicht 1 und das Substrat S anisotrop geätzt, so daß im Substrat S ca. 300 nm tiefe erste Gräben erzeugt werden, die eine Breite von ca. 100 nm und Abstände von ca. 100 nm voneinander aufweisen. Als Ätzmittel sind zum Beispiel CF_4 , CHF_3 , C_2F_6 und HBr geeignet, die entsprechend dem zu ätzenden Material kombiniert werden.

In den ersten Gräben werden Trennstrukturen T erzeugt, indem SiO_2 in einer Dicke von ca. 200 nm konform abgeschieden und durch chemisch-mechanisches Polieren planarisiert wird, bis eine obere Fläche der vierten Schicht 4 freigelegt wird. Anschließend wird SiO_2 selektiv zum Siliziumnitrid rückgeätzt, so daß eine obere Fläche der Trennstrukturen T unterhalb einer oberen Fläche der dritten Schicht 3 liegt (siehe Fig. 1a).

Anschließend wird Siliziumnitrid abgeschieden und durch chemisch-mechanisches Polieren planarisiert, bis die obere Fläche der dritten Schicht 3 freigelegt wird. Auf diese Weise sind über den Trennstrukturen T Hillsstrukturen Q aus Siliziumnitrid angeordnet (siehe Fig. 1b).

Mit Hilfe einer streifenförmigen zweiten Photolackmaske P2 (siehe Fig. 2a), deren Streifen quer zu den Streifen der ersten Photolackmaske verlaufen, wird SiO_2 selektiv zu Siliziumnitrid mit zum Beispiel C_4F_6 , CO geätzt, bis die zweite Schicht 2 teilweise freigelegt wird. Anschließend wird Siliziumnitrid geätzt, so daß die Hillsstrukturen Q und freiliegende Teile der zweiten Schicht 2 entfernt werden. Durch Ätzen von Silizium selektiv zu SiO_2 wird aufgrund der endlichen Selektivität des Ätzprozesses zunächst die erste Schicht 1 teilweise durchtrennt und anschließend obere Bereiche von Vertiefungen V erzeugt. Dabei wirken die Trennstrukturen T und die dritte Schicht 3 als dicke Maske. Die oberen Bereiche der Vertiefungen V sind ca. 300 nm tief im Substrat S und weisen zur Hauptfläche H parallele Querschnitte auf, die quadratisch sind und deren Abmessungen ca. 100 nm betragen. Abstände zwischen zueinander benachbarten Vertiefungen V betragen ca. 100 nm voneinander (siehe Fig. 2a und 2b).

In den Vertiefungen V werden Hilfsspacer f erzeugt, indem SiO_2 in einer Dicke von ca. 30 nm abgeschieden und anisotrop rückgeätzt wird (siehe Fig. 2a und 2b). Freiliegende Teile der Böden der Vertiefungen sind im wesentlichen quadratisch und weisen eine Seitenlänge von ca. 40 nm auf.

Zum Abrunden der Hilfsspacer f wird anschließend eine isotrope Rückätzung mit zum Beispiel CF_4 als Ätzmittel durchgeführt (siehe Fig. 3). Freiliegende Teile der Böden der Vertiefungen V sind im wesentlichen kreisförmig und weisen einen Durchmesser von ca. 100 nm auf.

Anschließend wird Silizium selektiv zu SiO_2 mit zum Beispiel HBr anisotrop geätzt, so daß untere Bereiche der Vertiefungen V entstehen, die aufgrund der als Maske wirkenden Hilfsspacer f kreisförmige horizontale Querschnitte aufweisen. Die Vertiefungen V sind nun ca. 7 μm tief (siehe Fig. 4). Beim Ätzen wirken die Trennstrukturen T und die dritte Schicht 3 als dicke Maske.

Die oberen Bereiche der Vertiefungen V weisen jeweils vier seitliche ebene erste Flächen F1 auf. Die unteren Bereiche der Vertiefungen V weist eine gekrümmte zweite Fläche F2 auf. Ein horizontaler, d. h. parallel zur Hauptfläche H liegender Querschnitt des unteren Bereichs einer der Vertiefungen V weist einen gekrümmten Umfang auf. Ein Teil des Substrats S ist insbesondere unter Ecken der oberen Bereiche der Vertiefungen V angeordnet, da die Hilfsspacer f mindestens die Ecken bedecken und dort folglich nicht tiefer geätzt wird.

Zur Erzeugung einer Kondensatorelektrode E von Kondensatoren wird Arsenglas in einer Dicke von ca. 10 nm abgeschieden. Die mit dem Arsenglas versehenen Vertiefungen V werden bis zu einer Höhe h von ca. 1 μm unter der Hauptfläche H (vergleiche Fig. 4) mit Photolack gefüllt. Anschließend wird freiliegendes Arsenglas entfernt. Nach Entfernung des Photolacks wird ein Schutzoxid (nicht dargestellt) aufgewachsen. Das Schutzoxid verhindert, daß bei einem folgendem Temperschritt bei ca. 1000°C, bei dem Arsen aus dem Arsenglas in das Substrat S diffundiert, Arsen verdampft. Dadurch wird die Kondensatorelektrode E als ein mit Arsen dotierter Teil des Substrats S erzeugt, die Teile der unteren Bereiche der Vertiefungen V umgibt (siehe Fig. 4). Das Schutzoxid und die Hilfsspacer f werden anschließend mit verdünnter Flußsäure entfernt.

Zur Erzeugung eines ersten Teils d1 eines Kondensatordielektrikums werden Flächen der Vertiefungen V mit Siliziumnitrid verschen, das anschließend teilweise autoxidiert wird, so daß der erste Teil d1 des Kondensatordielektrikums als sogenannte NO-Schicht mit einer ca. 3 nm oxidiäquivalenten Dicke erzeugt wird (siehe Fig. 4).

Zur Erzeugung von Speicherknoten K der Kondensatoren

wird in situ dotiertes Polysilizium in einer Dicke von ca. 100 nm abgeschieden und durch chemisch-mechanisches Polieren planarisiert, bis die zweite Schicht 2 freigelegt wird. Dabei wird die dritte Schicht 3 entfernt und die Trennstrukturen T etwas abgetragen. Anschließend wird das Polysilizium bis zu einer Tiefe von 1,1 μm unterhalb der Hauptfläche H durch anisotropes Ätzen rückgeätzt, so daß die Vertiefungen V bis zu einer unteren Höhe u mit Polysilizium gefüllt werden (siehe Fig. 4). Freiliegende Teile des ersten Teils d1 des Kondensatordielelektrikums werden mit zum Beispiel Flußsäure entfernt.

Zur Erzeugung eines spacerförmigen zweiten Teils d2 des Kondensatordielelektrikums in den Vertiefungen V wird SiO_2 in einer Dicke von ca. 15 nm abgeschieden und anisotrop rückgeätzt (siehe Fig. 4). Der zweite Teil d2 des Kondensatordielelektrikums ist dicker als der erste Teil d1.

Durch Abscheiden von in situ dotiertem Polysilizium in einer Dicke von ca. 100 nm und anschließendem Rückätzen bis zu einer Tiefe von ca. 250 nm unterhalb der Hauptfläche H werden die Speicherknoten K vergrößert. Die Vertiefungen V sind bis zu einer mittleren Höhe m mit Polysilizium gefüllt (siehe Fig. 4).

Mit Hilfe einer mehrschichtigen dritten Photolackmaske P3 (siehe Fig. 4) werden Teile des zweiten Teils d2 des Kondensatordielelektrikums entfernt. An ersten Flanken der Vertiefungen V reicht der zweite Teil d2 des Kondensatordielelektrikums nur von der unteren Höhe u bis zur mittleren Höhe m.

Anschließend wird in situ dotiertes Polysilizium in einer Dicke von ca. 100 nm abgeschieden und durch chemisch-mechanisches Polieren planarisiert, bis die zweite Schicht 2 freigelegt wird.

Unter der ersten Schicht 1 werden durch Implantation mit n-dotierenden Ionen im Substrat S ca. 30 nm dicke obere Source/Drain-Gebiete S/D1 von vertikalen Transistoren erzeugt. Aufgrund der Trennstrukturen T und der Vertiefungen V weisen die oberen Source/Drain-Gebiete S/D1 quadratische horizontale Querschnitte mit einer Seitenlänge von ca. 100 nm auf. Zueinander benachbarte obere Source/Drain-Gebiete S/D1 sind durch die Trennstrukturen T oder durch die Vertiefungen V voneinander getrennt.

Das Polysilizium wird anschließend bis zu einer Tiefe von ca. 200 nm unterhalb der Hauptfläche H rückgeätzt, so daß die Speicherknoten K weiter verdickt werden. Die Vertiefungen V sind bis zu einer oberen Höhe h mit Polysilizium gefüllt (siehe Fig. 5a). Die Speicherknoten K grenzen bei den ersten Flanken der Vertiefungen V zwischen der mittleren Höhe m und der oberen Höhe o an das Substrat S an. Obere Teile der Speicherknoten K sind in den oberen Bereichen der Vertiefungen V angeordnet. Durch einen Tempernschritt diffundiert Dotierstoff aus dem Speicherknoten K in das Substrat S, so daß untere Source-/Drain-Gebiete S/D2 der Transistoren erzeugt werden, die im Bereich zwischen der mittleren Höhe m und der oberen Höhe o an die ersten Flanken der Vertiefungen V angrenzen.

Anschließend wird die zweite Schicht 2 mit zum Beispiel heißer Phosphorsäure als Ätzmittel entfernt.

Durch thermische Oxidation wird ein Gatedielektrikum Gd an Flanken der oberen Bereiche der Vertiefungen V auf der Hauptfläche H und auf den Speicherknoten K erzeugt (siehe Fig. 5a).

Anschließend wird eine fünfte Schicht 5 aus in situ dotiertem Polysilizium in einer Dicke von ca. 60 nm abgeschieden, so daß die oberen Bereiche der Vertiefungen V gefüllt werden. Darüber wird eine ca. 100 nm dicke sechste Schicht 6 aus Siliziumnitrid abgeschieden.

Anschließend wird mit Hilfe einer vierten Photolackmaske, die die Vertiefungen V nicht bedeckt, die sechste

Schicht 6 und die fünfte Schicht 5 strukturiert, so daß in den oberen Bereichen der Vertiefungen V aus der fünften Schicht Anschlußstrukturen A erzeugt werden, die ca. 200 nm über die Hauptfläche H herausragen und von der sechsten Schicht 6 bedeckt sind (siehe Fig. 5a und 5b). Die Anschlußstrukturen A weisen quadratische horizontale Querschnitte mit einer Seitenlänge von ca. 100 nm auf.

Zur Erzeugung von ersten Spacern Sp1 an Flanken der Anschlußstrukturen A wird Siliziumnitrid in einer Dicke von ca. 20 nm abgeschieden und rückgeätzt, bis das Gatedielektrikum Gd auf der Hauptfläche H freigelegt wird. Durch konformes Abscheiden von SiO_2 in einer Dicke von ca. 200 nm und chemisch-mechanisches Polieren, bis die sechste Schicht 6 freigelegt wird, wird eine erste Isolation I1 erzeugt, die die mit den ersten Spacern Sp1 versehenen Anschlußstrukturen A umgibt (siehe Fig. 5a).

Mit Hilfe einer streifenförmigen fünften Photolackmaske (nicht dargestellt), deren Streifen quer zu den Trennstrukturen T verlaufen, eine Breite von ca. 100 nm und einen Abstand von ca. 100 nm voneinander aufweisen und die Anschlußstrukturen zumindest teilweise überlappen, wird SiO_2 selektiv zu Siliziumnitrid geätzt, so daß in der ersten Isolation I1 streifenförmige zweite Gräben erzeugt werden, bis Teile der Hauptfläche H freigelegt werden. In den streifenförmigen zweiten Gräben werden die Bitleitungen erzeugt, indem eine ca. 15 nm dicke n-dotierte siebte Schicht 7 aus dotiertem Polysilizium abgeschieden wird. Anschließend wird eine achte Schicht 8 aus Wolframsilizid in einer Dicke von ca. 60 nm abgeschieden, so daß die streifenförmigen zweiten Gräben gefüllt werden, und durch chemisch-mechanisches Polieren planarisiert, bis die sechste Schicht 6 freigelegt wird. Die Bitleitungen werden durch die siebte Schicht 7 und die achte Schicht 8 gebildet (siehe Fig. 6a).

Durch Rückätzen liegt eine obere Fläche der Bitleitungen unterhalb einer oberen Fläche der ersten Isolation I1. Durch einen anschließenden Tempernschritt bei ca. 800°C wird Dotierstoff in der siebten Schicht 7 aktiviert. Die Bitleitungen weisen erste Teile auf, die zwischen den ersten Spacern Sp1 von zueinander benachbarten Anschlußstrukturen A angrenzen und eine Breite von ca. 60 nm aufweisen. Zweite Teile der Bitleitungen sind zwischen den ersten Teilen der Bitleitungen angeordnet und weisen eine Breite von ca. 100 nm auf (siehe Fig. 6b). Die Empfindlichkeit gegenüber Justierungenauigkeiten zur Erzeugung der Bitleitungen zwischen den Anschlußstrukturen A ist niedrig, da selektiv zu den ersten Spacern Sp1 und zur sechsten Schicht 6 geätzt wird.

Anschließend wird SiO_2 abgeschieden und durch chemisch-mechanisches Polieren planarisiert, bis die sechste Schicht 6 freigelegt wird. Die erste Isolation I1 wird dabei so erweitert, daß sie die Bitleitungen bedeckt (siehe Fig. 6a).

Mit Hilfe einer sechsten Photolackmaske, die Bereiche a der Anschlußstrukturen A nicht bedeckt (siehe Fig. 7b), werden in der sechsten Schicht 6 erste Kontaktlöcher erzeugt, die Teile jeder zweiten Anschlußstruktur A der Speicherzellen einer Zeile derart freilegen, daß die ersten Kontaktlöcher in y-Richtung versetzt zu den Anschlußstrukturen A angeordnet sind. Dabei wird mit z. B. CHF_3 als Ätzmittel selektiv zur ersten Isolation I1 und zu Silizium geätzt.

Zur Erzeugung von ersten Wortleitungen wird eine ca. 60 nm dicke in situ dotierte neunte Schicht 9 aus Polysilizium und darüber ca. 50 nm dicke zehnte Schicht 10 aus Wolframsilizid abgeschieden. Über der zehnten Schicht 10 wird eine ca. 50 nm dicke isolierende elfte Schicht 11 aus SiO_2 abgeschieden. Die ersten Kontaktlöcher werden dadurch mit leitendem Material gefüllt. Mit Hilfe einer streifenförmigen siebten Photolackmaske, deren Streifen parallel zu den Trennstrukturen T verlaufen, eine Breite von ca. 100 nm und Abständen von ca. 100 nm voneinander aufwei-

sen und die ersten Kontaktlöcher mindestens teilweise überlappen, werden die elfte Schicht 11, die zehnte Schicht 10 und die neunte Schicht 9 strukturiert, bis die erste Isolation 11 freigelegt wird. Die ersten Wortleitungen werden durch die neunte Schicht 9 und die zehnte Schicht 10 gebildet (siehe Fig. 7a).

Die ersten Wortleitungen weisen erste Teile auf, die in den ersten Kontaktlöchern angeordnet sind und an zweite Teile der ersten Wortleitungen angrenzen, die streifenförmige Querschnitte aufweisen.

Durch Abscheiden von SiO_2 in einer Dicke von ca. 18 nm und anschließendem Rückätzen werden an Flanken der zweiten Teile der ersten Wortleitungen zweite Spacer Sp2 erzeugt.

Zur Erzeugung einer zweiten Isolation I2 wird Siliziumnitrid in einer Dicke von ca. 100 nm abgeschieden und durch chemisch-mechanisches Polieren planarisiert, bis eine ebene Fläche erzeugt wird (siehe Fig. 7a).

Mit Hilfe einer streifenförmigen achten Photolackmaske P, deren Streifen ca. 300 nm breit sind, einen Abstand von ca. 100 nm voneinander aufweisen, quer zu den Trennstrukturen T verlaufen und über Anschlußstrukturen A angeordnet sind, die von den ersten Wortleitungen kontaktiert sind, wird Siliziumnitrid selektiv zu SiO_2 und Silizium mit zum Beispiel CHF_3 geätzt, bis die Anschlußstrukturen A, die durch die ersten Wortleitungen nicht kontaktiert werden, teilweise freigelegt werden (siehe Fig. 8). Dadurch entstehen in der zweiten Isolation I2 zweite Kontaktlöcher, die entgegengesetzt zur y-Richtung versetzt zu den Anschlußstrukturen A angeordnet sind. Die zweiten Kontaktlöcher werden selbstjustiert zwischen den zweiten Teilen der ersten Wortleitungen erzeugt, da selektiv zu den zweiten Spacern Sp2 und zur elften Schicht 11 geätzt wird.

Zur Erzeugung von zweiten Wortleitungen werden eine ca. 60 nm dicke in situ dotierte zwölfte Schicht 12 aus Polysilizium und darüber eine ca. 50 nm dicke dreizehnte Schicht 13 aus Wolframsilizid abgeschieden (siehe Fig. 9a). Darüber wird eine ca. 50 nm dicke vierzehnte Schicht 14 aus Siliziumnitrid abgeschieden. Die zweiten Kontaktlöcher werden dadurch mit leitendem Material gefüllt, so daß erste Teile der zweiten Wortleitungen entstehen (siehe Fig. 9b). Mit Hilfe einer streifenförmigen neunten Photolackmaske, deren Streifen ca. 100 nm breit, ein Abstand von ca. 100 nm voneinander aufweisen, parallel zu den Trennstrukturen T verlaufen und die zweiten Kontaktlöcher nicht überlappen, werden die zwölfte Schicht 12, die dreizehnte Schicht 13 und die vierzehnte Schicht 14 geätzt, bis die zweite Isolation I2 freigelegt wird. Dadurch entstehen aus der zwölften Schicht 12 und der dreizehnten Schicht 13 oberhalb der ersten Wortleitungen zweite Teile der zweiten Wortleitungen, die einen streifenförmigen Querschnitt aufweisen (siehe Fig. 9a, 9b, 9c).

Zur Erzeugung von dritten Spacern Sp3 wird Siliziumnitrid in einer Dicke von 18 nm abgeschieden und rückgeätzt, so daß die zweiten Wortleitungen durch die dritten Spacern Sp3 und der vierzehnten Schicht 14 eingekapselt sind (siehe Fig. 9a, 9b).

Im Ausführungsbeispiel wird eine DRAM-Zellenanordnung mit Folded Bitleitungen erzeugt. Eine Speicherzelle umfaßt einen der vertikalen Transistoren und einen der Kondensatoren, der zum Transistor in Reihe geschaltet ist, und weist eine Fläche von $4F^2$ auf, wobei F 100 nm beträgt. Jede Speicherzelle ist mit einer der Bitleitungen und mit einer der ersten oder einer der zweiten Wortleitungen verbunden. Die Speicherzellen sind in Spalten, die parallel zur y-Achse y verlaufen, und in Zeilen, die parallel zur x-Achse x verlaufen, angeordnet, wobei die Spalten parallel zu den Bitleitungen und die Zeilen parallel zu den Wortleitungen verlaufen.

Die ersten Teile der ersten Wortleitungen überlappen entlang den Zeilen jede zweite der Anschlußstrukturen A, wobei sie jeweils in y-Richtung versetzt zur zugehörigen Anschlußstruktur A angeordnet sind. Die ersten Teile der zweiten Wortleitungen überlappen die übrigen Anschlußstrukturen A, wobei sie jeweils entgegengesetzt zur y-Richtung versetzt zur zugehörigen Anschlußstruktur A angeordnet sind.

Teile der Anschlußstrukturen A, die an den ersten Flanken der oberen Bereiche der Vertiefungen V angeordnet sind, wirken als Gateelektroden der Transistoren.

Kanalgebiete der Transistoren sind Teile des Substrats S, die zwischen den oberen Source/Drain-Gebieten S/D1 und den unteren Source/Drain-Gebieten S/D2 angeordnet sind.

Die Kanalgebiete der Transistoren sind miteinander verbunden, so daß Floating-Body-Effekte vermieden werden.

Es sind viele Variationen des Ausführungsbeispiels denkbar, die ebenfalls im Rahmen der Erfindung liegen. So können Abmessungen der Schichten, Vertiefungen, Strukturen und Spacer an die jeweiligen Erfordernisse angepaßt werden. Dasselbe gilt für die Dotierstoffkonzentration und für die Wahl von Materialien. So können die Wortleitungen und Bitleitungen auch andere leitende Materialien als dem Ausführungsbeispiel angeführten enthalten.

Patentansprüche

1. DRAM-Zellenanordnung,

- bei der Speicherzellen in Spalten, die parallel zu einer y-Achse (y) verlaufen, und Zeilen, die parallel zu einer x-Achse (x) verlaufen, in einem Substrat (S) angeordnet sind,
- bei der die Speicherzellen einer Spalte mit einer Bitleitung, die oberhalb einer Hauptfläche (H) des Substrats (S) verläuft, verbunden sind,
- bei der die Speicherzellen einer Zeile abwechselnd mit einer ersten Wortleitung und einer zweiten Wortleitung verbunden sind,
- bei der die Speicherzellen jeweils eine säulenförmige Anschlußstruktur (A) umfassen,
- bei der erste Teile der ersten Wortleitung jeweils in y-Richtung versetzt zu einer der Anschlußstrukturen (A) der Speicherzellen, mit denen die erste Wortleitung verbunden ist, angeordnet sind, so daß diese Anschlußstruktur (A) von oben überlappt aber nicht bedeckt wird,
- bei der ein zweiter Teil der ersten Wortleitung streifenförmig ist, oberhalb der Hauptfläche (H) des Substrats (S) und im wesentlichen parallel zur x-Achse (x) verläuft und von oben an die ersten Teile der ersten Wortleitung angrenzt,
- bei der Flanken der ersten Wortleitung mit isolierenden Spacern (Sp2) verschlossen sind,
- bei der erste Teile der zweiten Wortleitung zwischen den Spacern (Sp2) zueinander benachbarter erster Wortleitungen angeordnet sind und jeweils entgegengesetzt zur y-Richtung versetzt zu einer der Anschlußstrukturen (A) der Speicherzellen, mit denen die zweite Wortleitung verbunden ist, angeordnet sind, so daß diese Anschlußstruktur (A) von oben überlappt aber nicht bedeckt wird,
- bei der ein zweiter Teil der zweiten Wortleitung streifenförmig ist, oberhalb der Hauptfläche (H) des Substrats (S) und im wesentlichen parallel zur x-Achse (x) verläuft, von oben an die ersten Teile der zweiten Wortleitung angrenzt und oberhalb der ersten Wortleitung und die Bitleitung angeordnet ist.

2. DRAM-Zellenanordnung nach Anspruch 1,

- bei der die Anschlußstrukturen (A) über die Hauptfläche (H) des Substrats (S) herausragen,
- bei der Flanken der Anschlußstrukturen (A) mit weiteren isolierenden Spacern (Sp1) versehen sind,
- bei der erste Teile der Bitleitung an die weiteren Spacern (Sp1) von in x-Richtung zueinander benachbarten Anschlußstrukturen (A) angrenzen und eine kleinere Breite aufweisen als zweite Teile der Bitleitung, die zwischen den ersten Teilen der Bitleitung angeordnet sind,
- bei der die Bitleitung auf der Hauptfläche (H) angeordnet ist.

3. DRAM-Zellenanordnung nach einem der Ansprüche 1 bis 2,

- bei der im Substrat (S) für eine Speicherzelle eine Vertiefung (V) vorgesehen ist, die eine erste Flanke aufweist, die in einem oberen Bereich mit einem Gatedielektrikum (Gd) versehen ist,
- bei der mindestens ein Teil der Anschlußstruktur (A) in der Vertiefung (V) an der ersten Flanke angeordnet ist und als Gateelektrode eines vertikalen Transistors der Speicherzelle geeignet ist,
- bei der Flächen eines unteren Bereichs der Vertiefung (V) mit einem Kondensatordielektrikum (d1, d2) eines Speicherkondensators versehen sind, der mit dem Transistor in Reihe geschaltet ist,
- bei der ein Speicherknoten (K) des Speicherkondensators im unteren Bereich angeordnet und von der Anschlußstruktur (A) elektrisch isoliert ist,
- bei der die Bitleitung mit einem oberen Source/Drain-Gebiet (S/D1) des Transistors verbunden ist, das an der Hauptfläche (H) angeordnet ist und an zwei in x-Richtung zueinander benachbarte Vertiefungen (V) angrenzt,
- bei der obere Source/Drain-Gebiete (S/D1), die in y-Richtung zueinander benachbart sind, durch Trennstrukturen (T) voneinander isoliert sind.

4. DRAM-Zellenanordnung nach Anspruch 3,

- bei der ein unteres Source/Drain-Gebiet (S/D2) des Transistors an die erste Flanke der Vertiefung (V) angrenzt,
- bei der das Kondensatordielektrikum (d1, d2) eine einzige Aussparung an der ersten Flanke der Vertiefung (V) aufweist, so daß der Speicherknoten (K) mit dem unteren Source/Drain-Gebiet (S/D2) elektrisch verbunden ist.

5. Verfahren zur Herstellung einer DRAM-Zellenanordnung,

- bei dem Speicherzellen in Spalten, die parallel zu einer y-Achse (y) verlaufen, und Zeilen, die parallel zu einer x-Achse (x) verlaufen, erzeugt werden,
- bei dem für die Speicherzellen jeweils eine säulenförmige Anschlußstruktur (A) erzeugt wird,
- bei dem Bitleitungen erzeugt werden, die jeweils mit den Speicherzellen einer Spalte verbunden werden,
- bei dem über den Anschlußstrukturen (A) von Speicherzellen eine erste isolierende Schicht (6) aufgebracht wird,
- bei dem erste Kontaktlöcher in der ersten isolierenden Schicht (6) erzeugt werden, die Teile jeder zweiten Anschlußstruktur (A) der Speicherzellen einer Zeile derart freilegen, daß die ersten Kon-

taktlöcher in y-Richtung versetzt zu den Anschlußstrukturen (A) angeordnet sind,

- bei dem leitendes Material abgeschieden wird, so daß die ersten Kontaktlöcher mit ersten Teilen von ersten Wortleitungen gefüllt werden,
- bei dem eine zweite isolierende Schicht (11) abgeschieden wird,
- bei dem das leitende Material und die zweite isolierende Schicht (11) strukturiert werden, so daß streifenförmige zweite Teile der ersten Wortleitungen erzeugt werden, die im wesentlichen parallel zur x-Achse (x) verlaufen, von oben an die ersten Teile der ersten Wortleitungen angrenzen und durch die zweite isolierende Schicht (11) bedeckt sind,
- bei dem Flanken der ersten Wortleitungen mit isolierenden Spacern (Sp2) versehen werden,
- bei dem die erste isolierende Schicht (6) selektiv zur zweiten isolierenden Schicht (11) und den Spacern (Sp2) geätzt wird, so daß Teile der übrigen Anschlußstrukturen (A) derart freigelegt werden, daß zweite Kontaktlöcher erzeugt werden, die entgegengesetzt zur y-Richtung versetzt zu den Anschlußstrukturen (A) angeordnet sind,
- bei dem leitendes Material abgeschieden wird, so daß die zweiten Kontaktlöcher mit ersten Teilen von zweiten Wortleitungen gefüllt werden, die zwischen den Spacern (Sp2) zueinander benachbarter erster Wortleitungen angeordnet sind,
- bei dem das leitende Material strukturiert wird, so daß streifenförmige zweite Teile der zweiten Wortleitungen erzeugt werden, die im wesentlichen parallel zur x-Achse (x) verlaufen, von oben an die ersten Teile der zweiten Wortleitungen angrenzen und oberhalb der ersten Wortleitungen und der Bitleitungen angeordnet sind.

6. Verfahren nach Anspruch 5,

- bei dem die Anschlußstrukturen (A) so erzeugt werden, daß sie über eine Hauptfläche (H) eines Substrats (S), in dem die Speicherzellen angeordnet sind, herausragen,
- bei der Flanken der Anschlußstrukturen (A) mit weiteren isolierenden Spacern (Sp1) versehen werden,
- bei dem eine Isolation (I1) erzeugt wird, die die Anschlußstrukturen (A) umgibt,
- bei dem streifenförmige Gräben in der Isolation (I1) erzeugt werden, indem maskiert und selektiv zu der ersten isolierenden Schicht (6) und den Spacern (Sp2) geätzt wird, bis Teile der Hauptfläche (H) freigelegt werden,
- bei dem leitendes Material abgeschieden wird, so daß in den Gräben die Bitleitungen erzeugt werden, deren erste Teile an die weiteren Spacern (Sp1) von in x-Richtung zueinander benachbarten Anschlußstrukturen (A) angrenzen und eine kleinere Breite aufweisen als zweite Teile der Bitleitungen, die zwischen den ersten Teilen der Bitleitungen angeordnet sind.

7. Verfahren nach Anspruch 5 oder 6,

- bei dem für die Speicherzellen jeweils eine Vertiefung (V) erzeugt wird,
- bei dem Flächen eines unteren Bereichs der Vertiefung (V) mit einem Kondensatordielektrikum (d1, d2) eines Speicherkondensators versehen werden,
- bei dem im unteren Bereich ein Speicherknoten (K) des Speicherkondensators erzeugt wird.

- bei dem mindestens eine erste Flanke der Vertiefung (V) in einem oberen Bereich der Vertiefung (V) mit einem Gatedielektrikum (Gd) versehen wird,
- bei dem mindestens ein Teil der Anschlußstruktur (A) in der Vertiefung (V) erzeugt wird, so daß sie an der ersten Flanke als Gateelektrode eines vertikalen Transistors der Speicherzelle, der mit dem Speicherkondensator in Reihe geschaltet wird, geeignet ist, und vom Speicherknoten (K) elektrisch isoliert wird,
- bei dem ein oberes Source/Drain-Gebiet (S/D1) des Transistors an der Hauptfläche (H) erzeugt wird, so daß es an zwei in x-Richtung zueinander benachbarte der Vertiefungen (V) der Speicherzellen angrenzt.

8. Verfahren nach Anspruch 7,

- bei dem die Vertiefungen (V) nach Erzeugung des Kondensatordielektrikums (d1, d2) bis zu einer mittleren Höhe (m) mit leitendem Material gefüllt werden,
- bei dem mit Hilfe einer streifenförmigen Maske (P3), die die zweiten Flanken der Vertiefungen (V) bedeckt, freiliegende Teile des Kondensatordielektrikums (d1, d2) entfernt werden,
- bei dem die Vertiefungen (V) durch leitendes Material bis zu einer oberen Höhe (o) weiter aufgefüllt werden, so daß das aus dem leitenden Material die Speicherknoten (K) erzeugt werden, die bei den ersten Flanken der Vertiefungen (V) an das Substrat (S) angrenzen,
- bei dem im Substrat (S) ein unteres Source/Drain-Gebiet (S/D2) des Transistors erzeugt wird, das zwischen der mittleren Höhe (m) und der oberen Höhe (o) an den Speicherknoten (K) angrenzt,
- bei dem das Gatedielektrikum (Gd) so erzeugt wird, daß es den Speicherknoten (K) bedeckt.

9. Verfahren nach Anspruch 8,

- bei dem zur Erzeugung des unteren Source/Drain-Gebiets (S/D2) Dotierstoff aus dem Speicherknoten (K) in das Substrat (S) diffundiert wird.

10. Verfahren nach einem der Ansprüche 8 bis 9,

- bei dem nach Erzeugung der Vertiefungen (V) ein erster Teil (d1) des Kondensatordielektrikums aufgebracht wird,
- bei dem die Vertiefungen (V) durch leitendes Material bis zu einer unteren Höhe (u) gefüllt werden,
- bei dem freiliegende Teile des ersten Teils (d1) des Kondensatordielektrikums entfernt werden,
- bei dem ein zweiter Teil (d2) des Kondensatordielektrikums aufgebracht wird, der dicker als der erste Teil (d1) des Kondensatordielektrikums ist.

11. Verfahren nach einem der Ansprüche 7 bis 10,

- bei dem im wesentlichen parallel zueinander verlaufende weitere Gräben erzeugt werden,
- bei dem die weiteren Gräben mit Trennstrukturen (T) gefüllt werden,
- bei dem durch Ätzen mit Hilfe einer streifenförmigen weiteren Maske (P2), deren Streifen quer zu den weiteren Gräben verlaufen, das Substrat (S) selektiv zu den Trennstrukturen (T) geätzt wird, so daß die Vertiefungen (V) erzeugt werden,
- bei dem die ersten Wortleitungen und die zweiten Wortleitungen so erzeugt werden, daß sie im wesentlichen parallel zu den Streifen der weiteren Maske (P2) verlaufen.

- bei dem die Bitleitungen so erzeugt werden, daß sie im wesentlichen parallel zu den weiteren Gräben verlaufen.

12. Verfahren nach Anspruch 11,

- bei dem zunächst die oberen Bereiche der Vertiefungen (V) erzeugt werden,
- bei dem durch Abscheiden und anisotropes Rückätzen von Material Hilfsspacer (f) in den Vertiefungen (V) erzeugt werden,
- bei dem durch einen isotropen Ätzprozeß die Hilfsspacer (f) abgerundet werden, so daß freiliegende Teile von Böden der Vertiefungen (V) einen im wesentlichen kreisförmigen Umfang aufweisen,
- bei dem durch anisotropes Ätzen selektiv zu den Hilfsspacern (f) die unteren Bereiche der Vertiefungen (V) erzeugt werden, so daß horizontale Querschnitte der unteren Bereiche der Vertiefungen (V) im wesentlichen kreisförmig sind.

13. Verfahren nach Anspruch 11 oder 12,

- bei dem auf der Hauptfläche (H) eine untere Schicht (3) aus einem ersten Material aufgebracht wird,
- bei dem auf der unteren Schicht (3) eine obere Schicht (4) aus einem zweiten Material aufgebracht wird,
- bei dem die Trennstrukturen (T) so erzeugt werden, daß sie aus dem ersten Material bestehen und daß eine obere Fläche der Trennstrukturen (T) über der Hauptfläche (H) und unter einer oberen Fläche der unteren Schicht (3) liegt,
- bei dem über den Trennstrukturen (T) Hilfssstrukturen (Q) aus dem zweiten Material erzeugt werden,
- bei dem das zweite Material geätzt wird, bis die untere Schicht (3) freigelegt wird, so daß ein Teil der Hilfssstrukturen (Q) erhalten bleibt,
- bei dem mit der weiteren Maske (P2) zunächst das erste Material selektiv zum zweiten Material abgetragen wird, so daß die obere Fläche der Trennstrukturen (T) unverändert oberhalb der Hauptfläche (H) liegt,
- bei dem die Vertiefungen (V) erzeugt werden, wobei die obere Fläche der Trennstrukturen (T) oberhalb der Hauptfläche (H) bleibt.

Hierzu 8 Seite(n) Zeichnungen

FIG 1 A

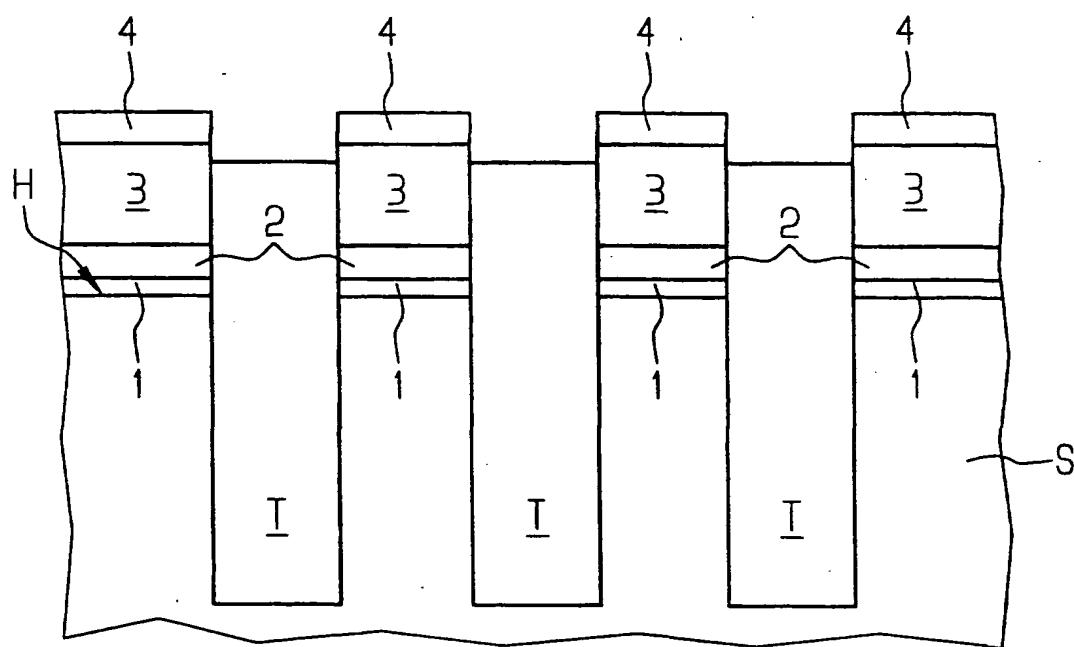


FIG 1 B

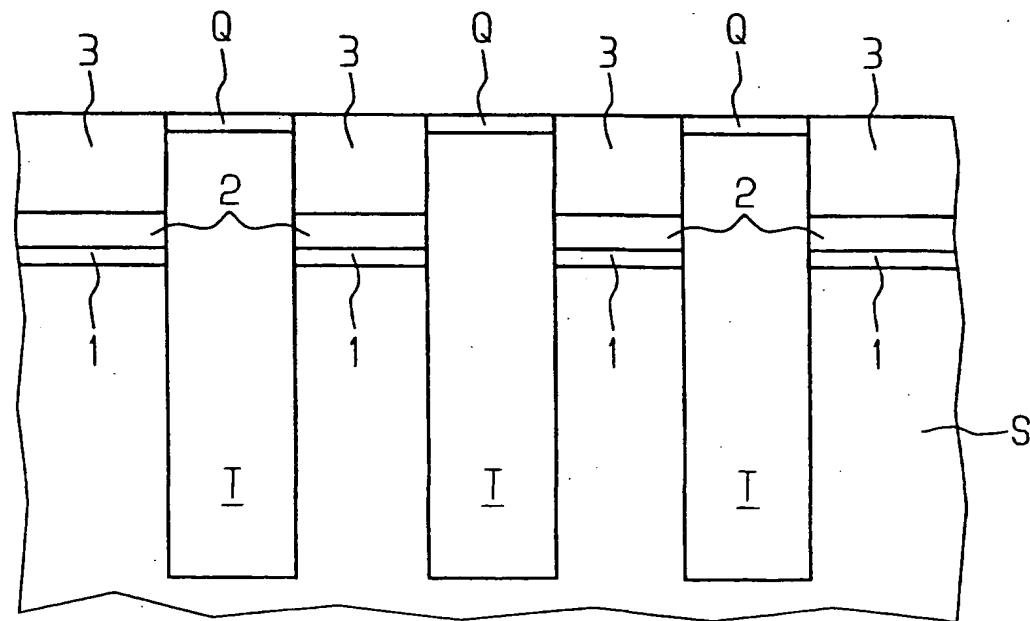


FIG 2A

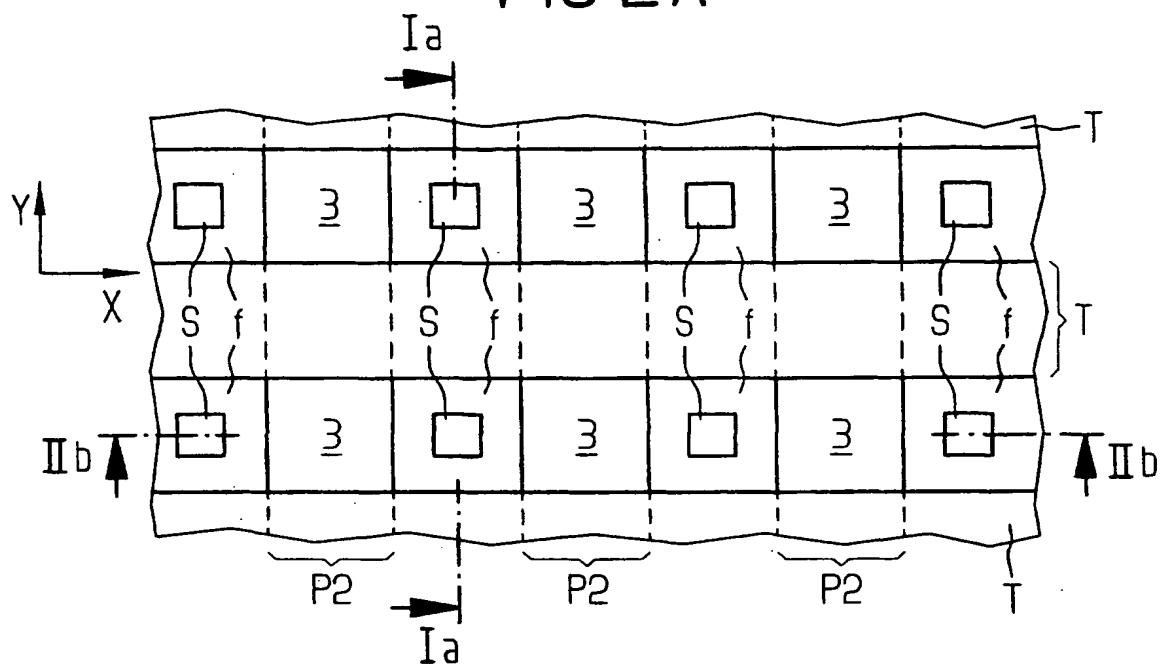


FIG 2B

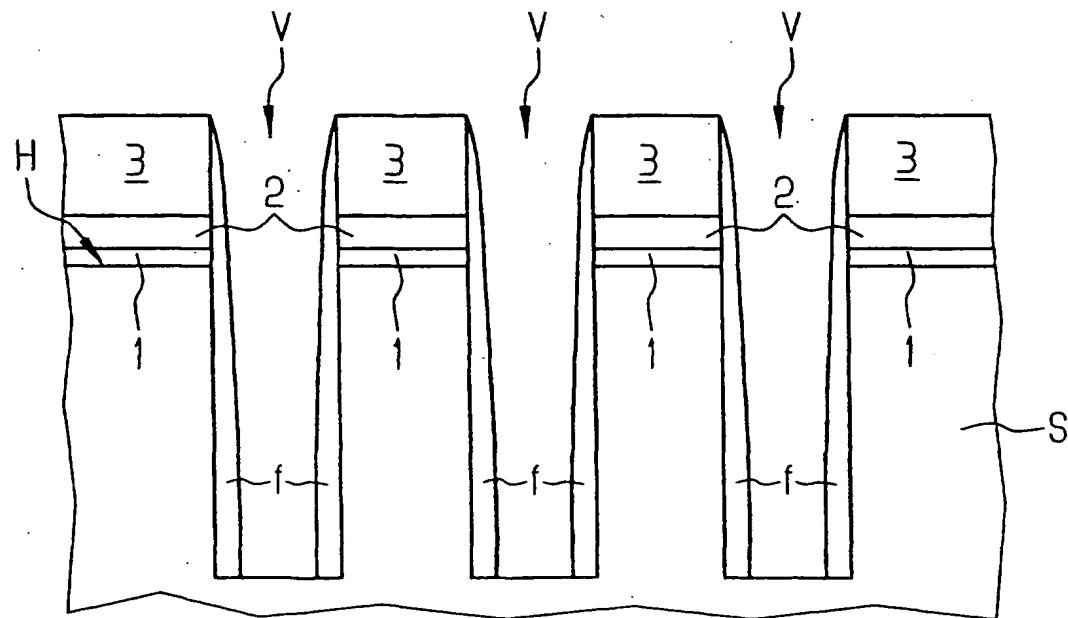


FIG 3

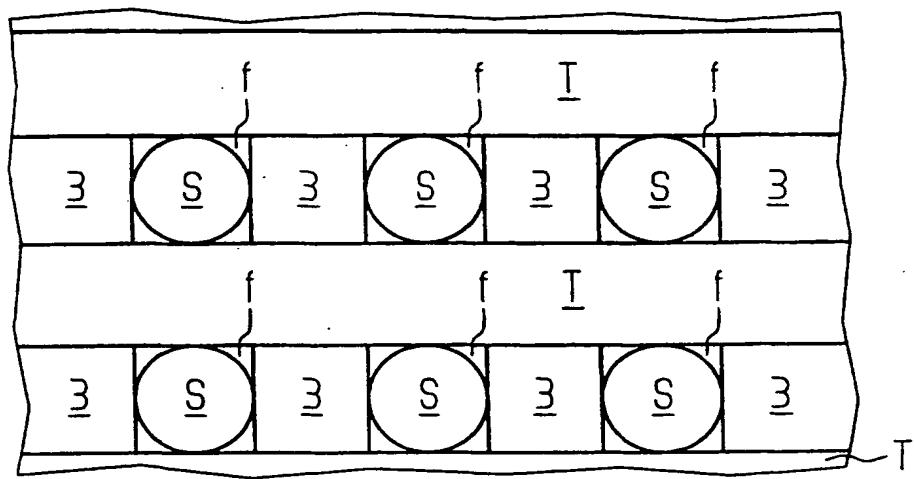


FIG 4

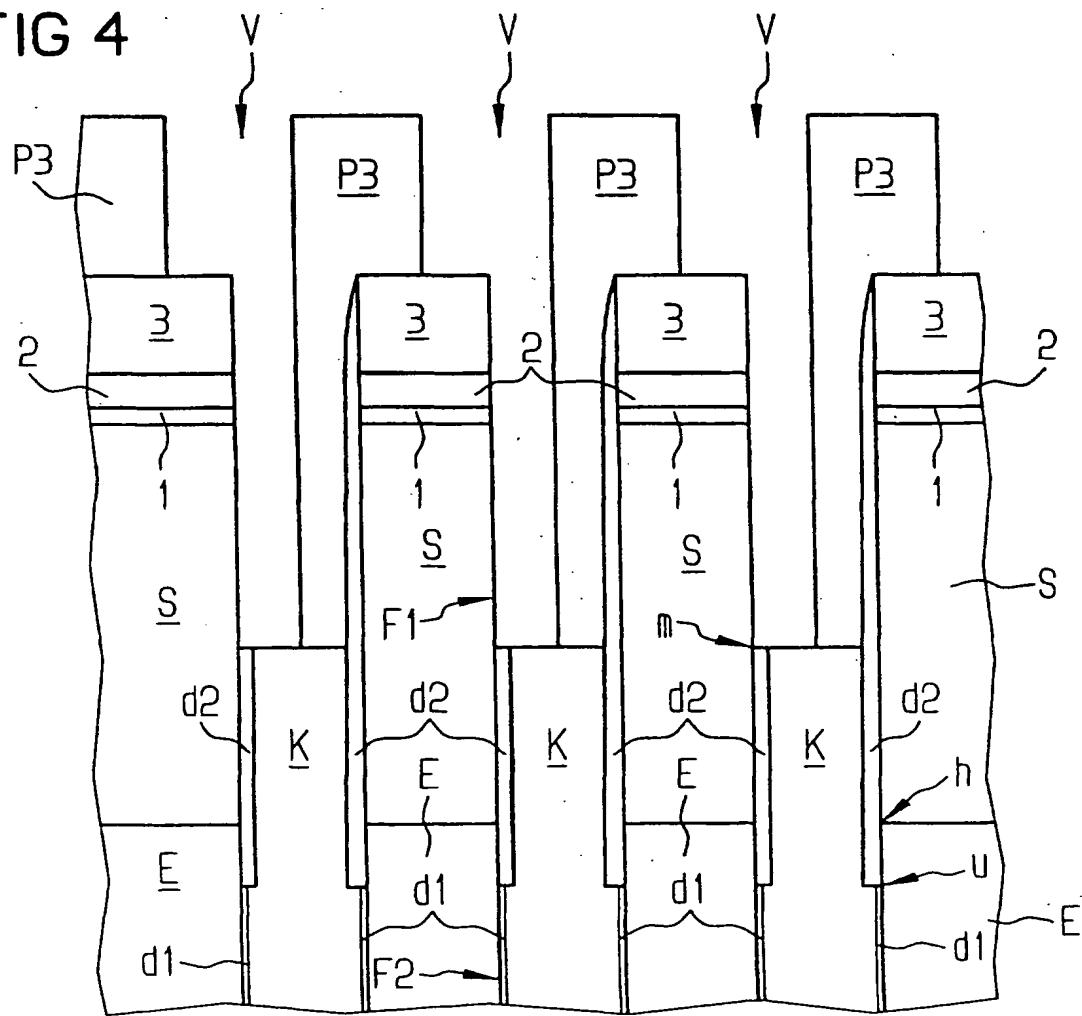


FIG 5A

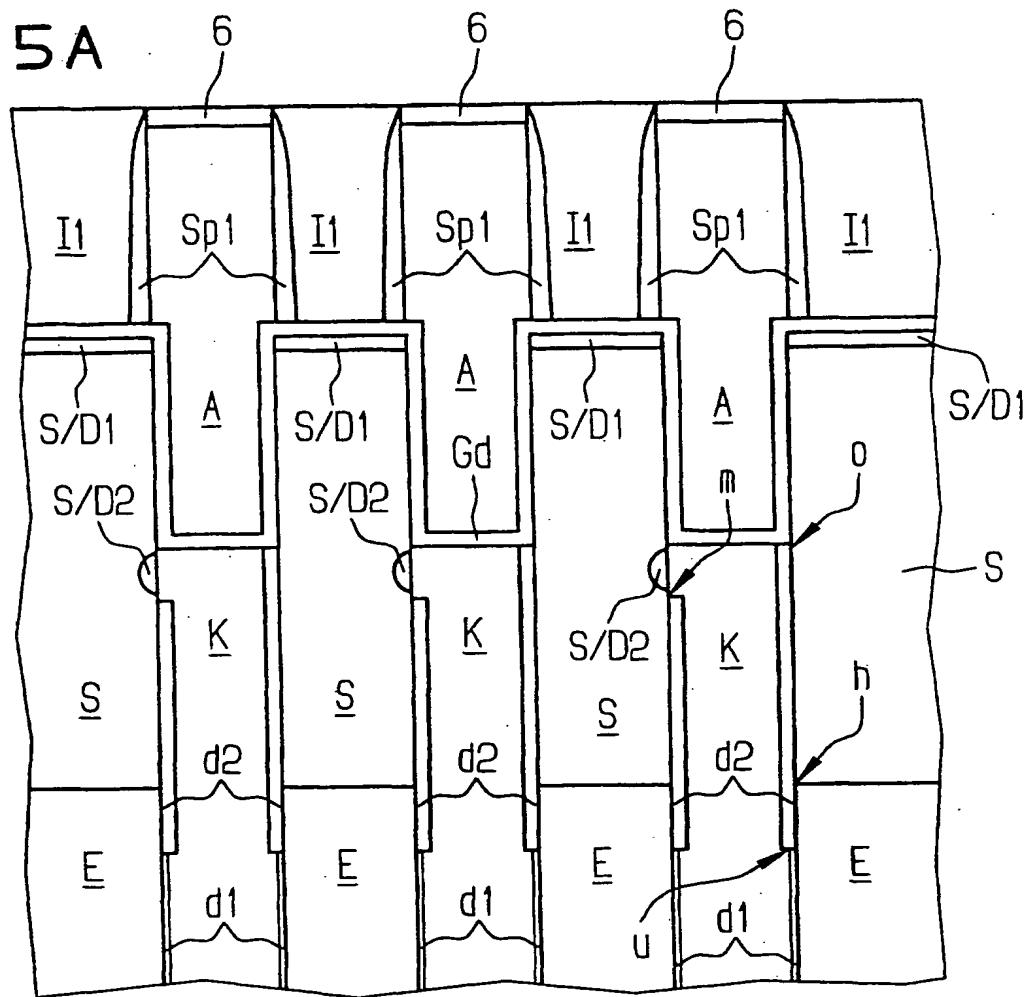


FIG 5B

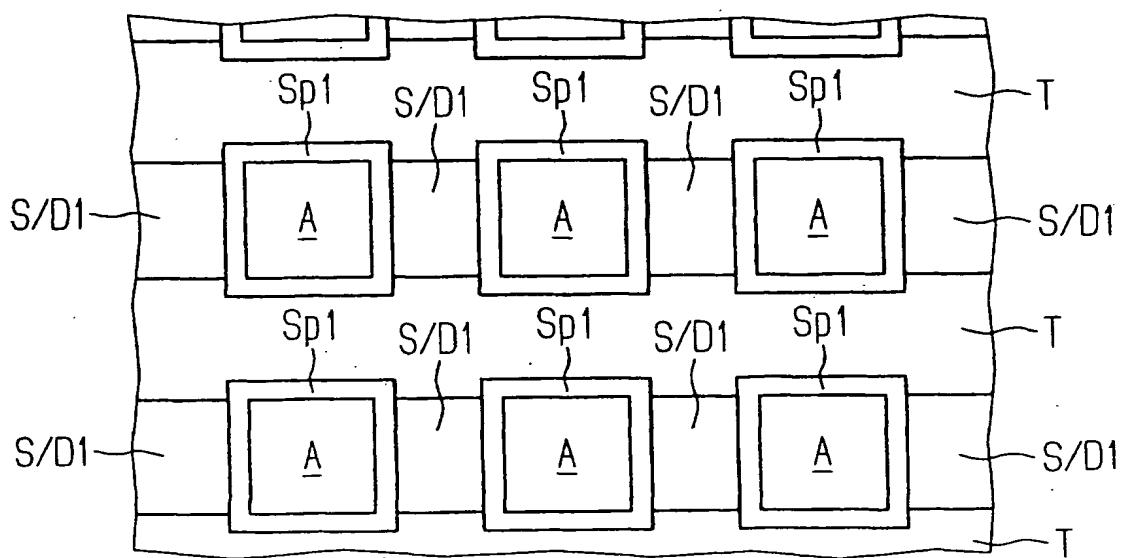


FIG 6A

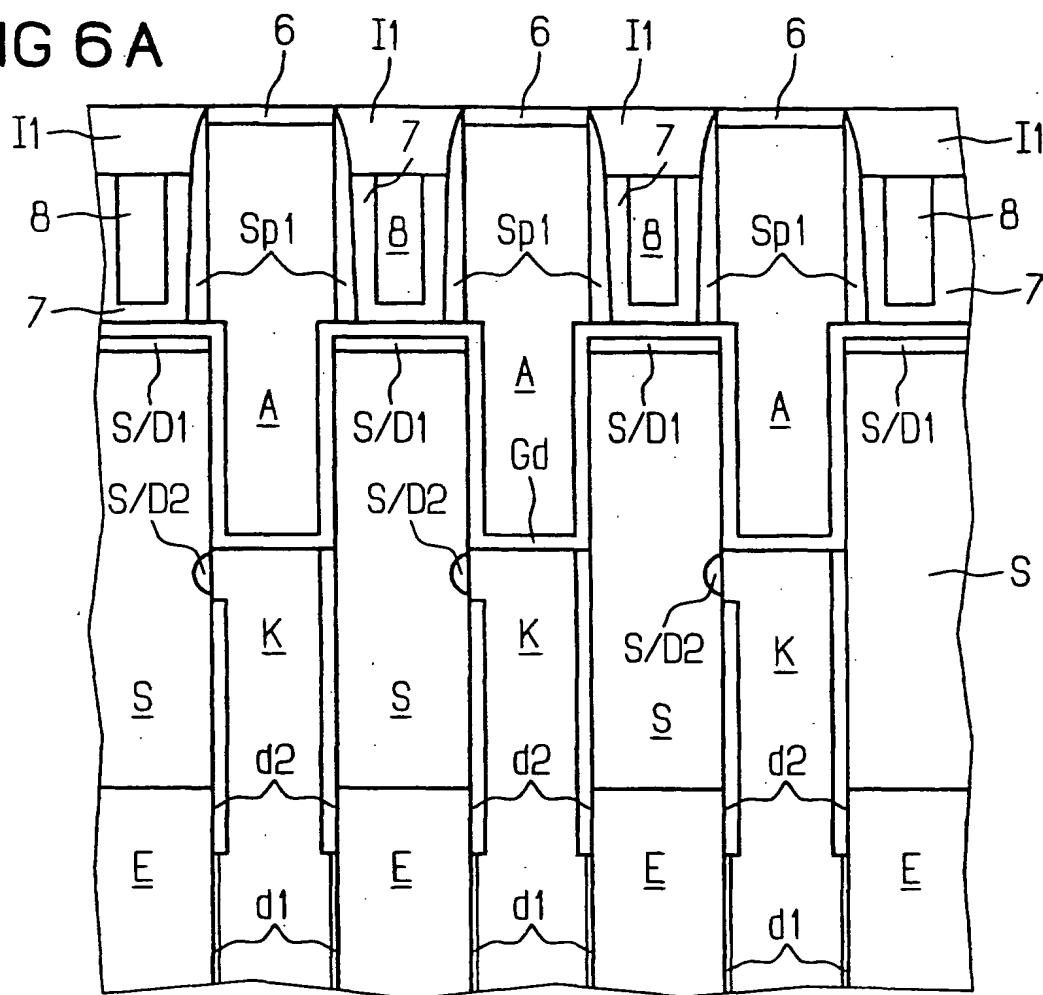


FIG 6B

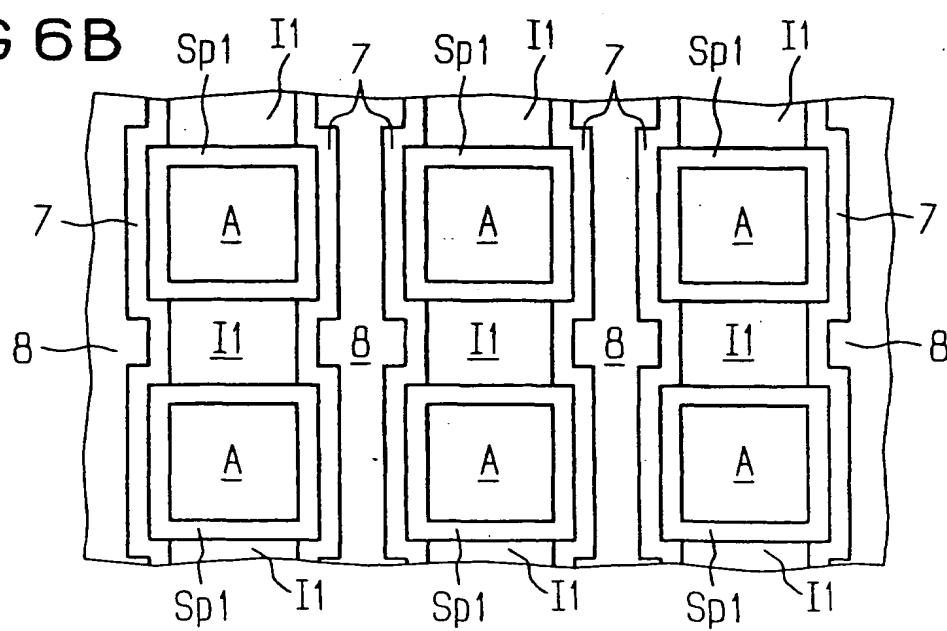


FIG 7 A

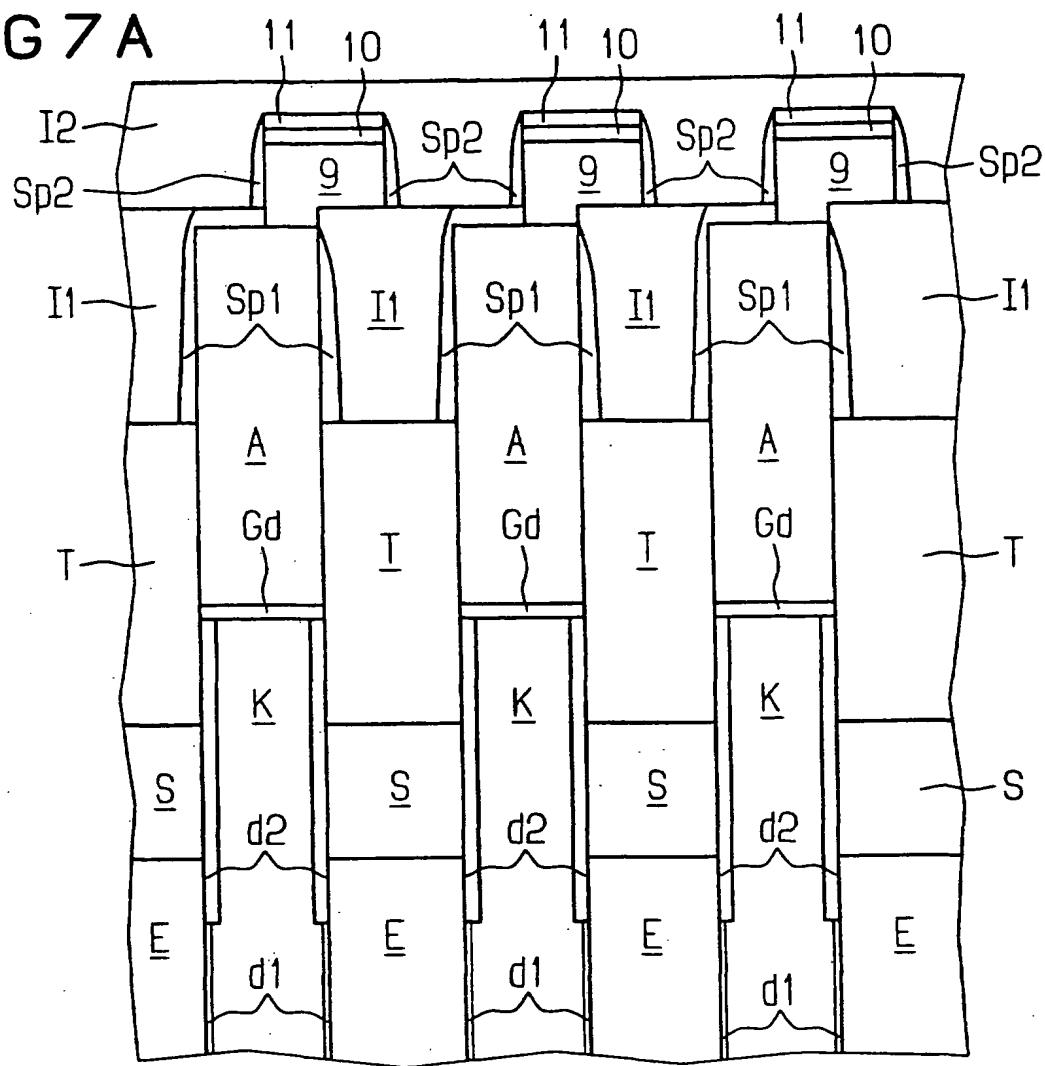


FIG 7 B → VII a

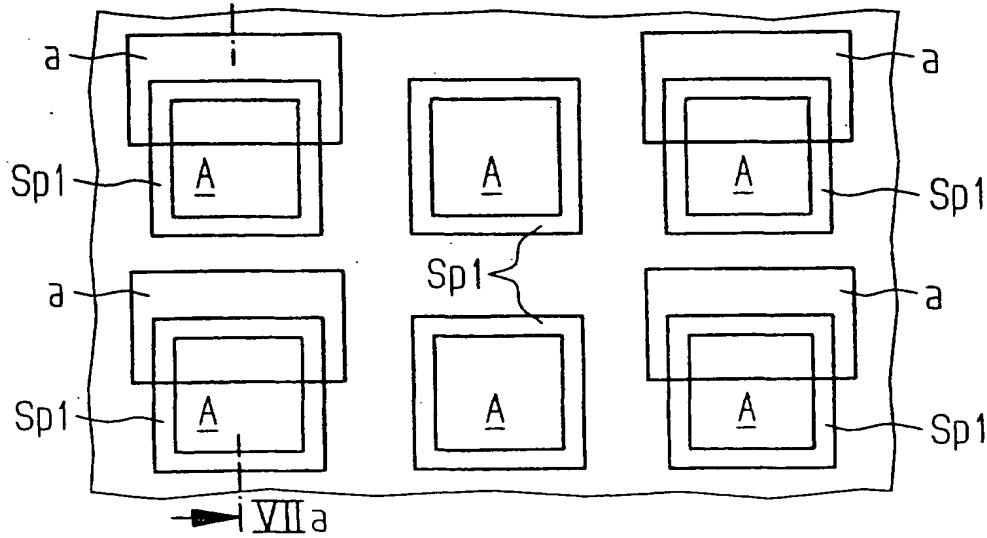


FIG 8

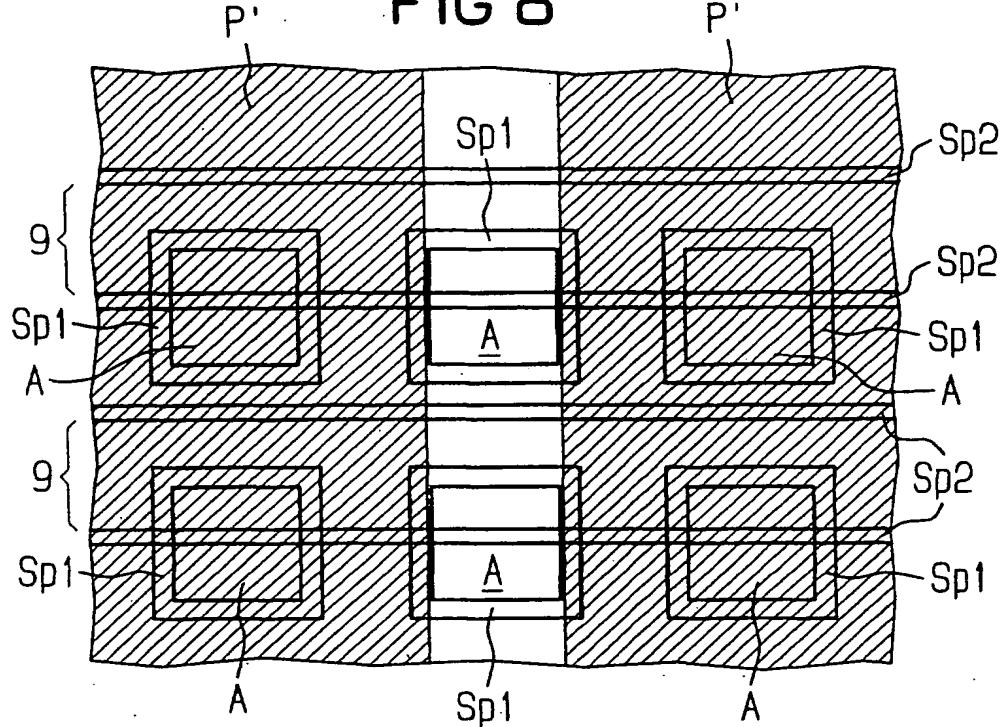


FIG 9A

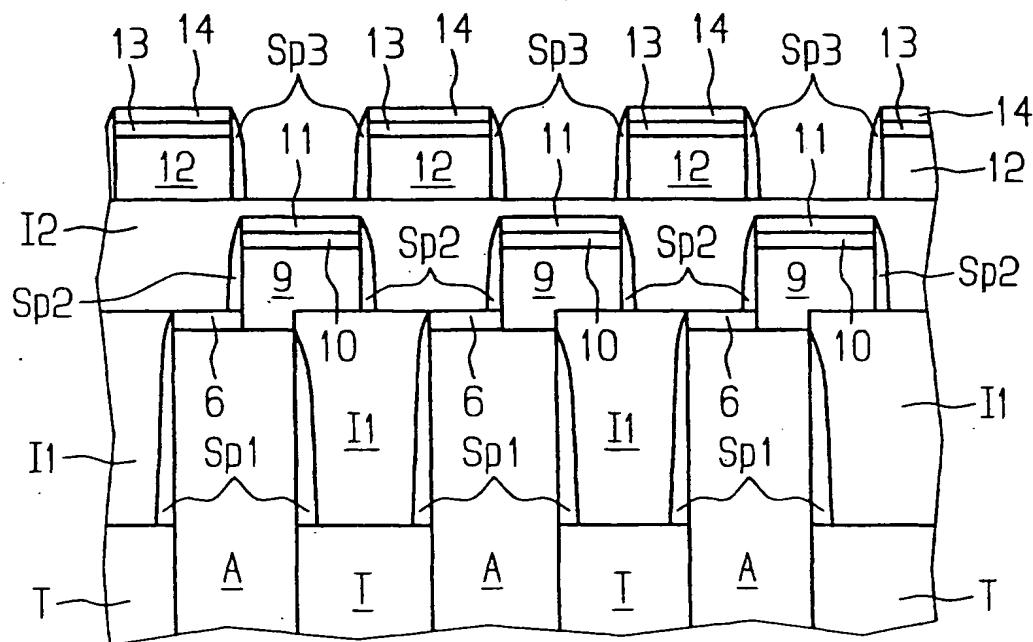


FIG 9B

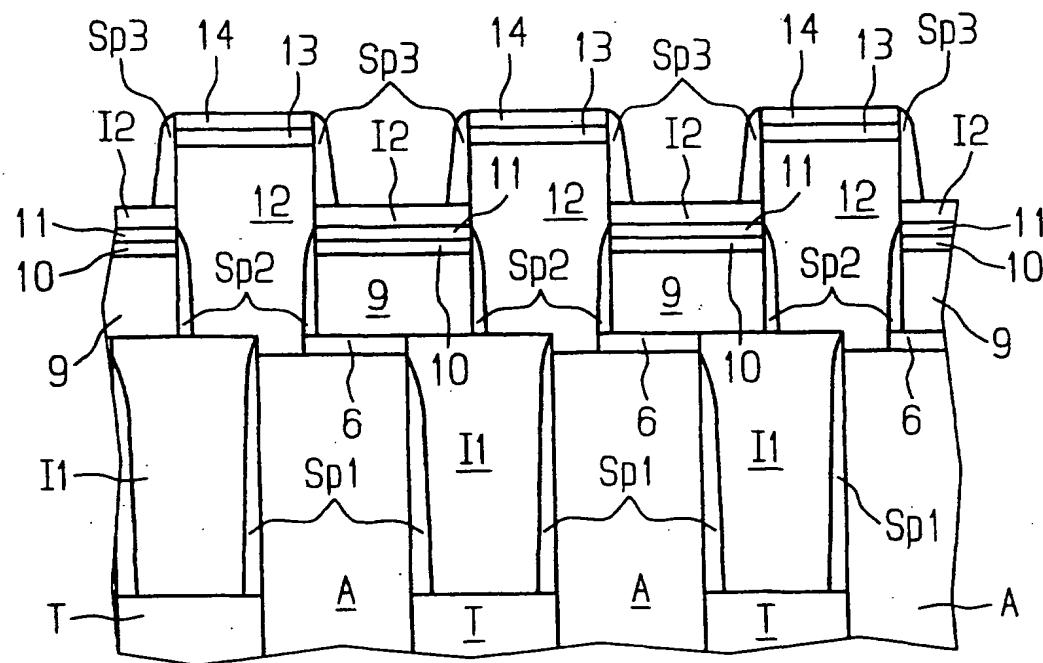


FIG 9C

